

Docket No.: 67471-028

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masatoshi SHINAGAWA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 28, 2003	:	Examiner:
	:	
For:		NONVOLATILE MEMORY MICROCOMPUTER CHIP, AND A METHOD FOR TESTING THE NONVOLATILE MEMORY MICROCOMPUTER CHIP

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

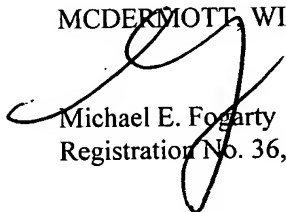
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2002-316747, filed October 30, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: October 28, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67471-028
SHINAGAWA et al
October 28, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月30日

出 願 番 号

Application Number:

特願2002-316747

[ST.10/C]:

[JP2002-316747]

出 願 人

Applicant(s):

松下電器産業株式会社

2003年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3048713

【書類名】 特許願

【整理番号】 5037740023

【提出日】 平成14年10月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 11/25

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 品川 雅俊

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 川原 昭文

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 小宮 学

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 福島 哲之

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 倉田 勝一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100090446

【弁理士】

【氏名又は名称】 中島 司朗

【手数料の表示】

【予納台帳番号】 014823

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003742

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性メモリ内蔵マイクロコンピュータチップ、及びその検査方法

【特許請求の範囲】

【請求項 1】 マイクロコンピュータ部とメモリ部とを含む半導体チップである不揮発性メモリ内蔵マイクロコンピュータチップであって、

前記マイクロコンピュータ部は、CPUその他の回路ブロックを有し、

前記メモリ部は、

不揮発性メモリを含み、マイクロコンピュータ部内の各回路ブロックを駆動して検査を行うための複数の検査データを不揮発性メモリ内蔵マイクロコンピュータチップの外部から取得して不揮発性メモリに記録した後、各検査データに基づく検査信号を当該不揮発性メモリに逐次出力させるメモリ制御手段と、

不揮発性メモリから逐次出力される検査信号に基づく信号を、前記マイクロコンピュータ部内の回路ブロックを駆動するために当該回路ブロックに伝達する駆動手段と、

前記マイクロコンピュータ部内の各回路ブロックの駆動結果としての検査結果信号を受け取り当該検査結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力する出力手段とを有する

ことを特徴とする不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 2】 前記マイクロコンピュータ部は、前記回路ブロック以外に、当該マイクロコンピュータ部の外部とのデータの授受を行うインタフェースであるポートを有し、

前記駆動手段は、不揮発性メモリから逐次出力される検査信号に基づく信号を前記ポートを介して前記マイクロコンピュータ部内の回路ブロックに伝達し、

前記出力手段は、前記マイクロコンピュータ部内の各回路ブロックの駆動結果としての検査結果信号を前記ポートを介して受け取り当該検査結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力する

ことを特徴とする請求項 1 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 3】 前記メモリ制御手段は、前記検査データに基づいてマイクロコンピュータ部内の回路ブロックの駆動が正常に行えた場合における駆動結果の期待値を示す期待値データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である期待値データに基づく期待値信号とを当該不揮発性メモリに出力させ、

前記出力手段は、前記マイクロコンピュータ部内の各回路ブロックの駆動結果としての検査結果信号に基づく信号と、前記不揮発性メモリから出力され当該駆動結果の期待値に相当する期待値信号とを共に不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力する

ことを特徴とする請求項 2 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 4】 前記メモリ制御手段は、一定周期でアドレス信号を逐次出力するアドレス発生回路を有し、

前記メモリ制御手段は、前記アドレス発生回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容である検査データに基づく検査信号を前記不揮発性メモリに出力させる

ことを特徴とする請求項 2 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 5】 前記メモリ制御手段は、前記アドレス発生回路を制御するための制御データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、前記アドレス発生回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である制御データに基づく制御信号とを当該不揮発性メモリに出力させ、

前記アドレス発生回路は、

カウンタと、

一定周期で前記カウンタの内容値を 1 ずつ増加させつつ当該カウンタの内容値に応じたアドレス信号を逐次出力するカウント手段と、

前記不揮発性メモリから出力される制御信号を取得し当該制御信号に基づいて、前記カウンタの内容値を保持し或いは当該保持した値を前記カウンタの内容値として設定するカウンタ制御手段とを有する

ことを特徴とする請求項 4 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 6】 前記メモリ制御手段は、一群の検査データの終端を示す終了データをも含む検査データ群を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに検査データを記録し、前記アドレス発生回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号を当該不揮発性メモリに出力させ、

前記アドレス発生回路は、

カウンタと、

一定周期で前記カウンタの内容値を 1 ずつ増加させつつ当該カウンタの内容値に応じたアドレス信号を逐次出力するカウント手段と、

各検査データ群の不揮発性メモリ内における各先頭アドレスを、メモリ内蔵マイクロコンピュータチップの外部から伝えられ保持する検査データ群アドレス記憶手段と、

前記不揮発性メモリから出力される検査信号のうち終了データに基づくものである終了信号を得ると、検査データ群アドレス記憶手段により保持されている 1 つの先頭アドレスを前記カウンタの内容値として設定するカウンタ制御手段とを有する

ことを特徴とする請求項 4 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 7】 前記メモリ制御手段は、一群の検査データの終端を示す終了データをも含む検査データ群を、メモリ内蔵マイクロコンピュータチップの外部

から複数取得し、前記不揮発性メモリの各アドレスに検査データを記録し、前記アドレス発生回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号を当該不揮発性メモリに出力させ、

前記アドレス発生回路は、制御フラグ値とアドレス値との組をメモリ内蔵マイクロコンピュータチップの外部から順次伝えられるとその順に各組を保持するアドレス記憶手段を有し、

前記アドレス発生回路は、

前記アドレス記憶手段により保持されている未着目のアドレス値のうち先頭のものに着目し、着目したアドレス値を示すアドレス信号を出力する手順を実行し、更に、

着目したアドレス値と組をなす制御フラグ値が第 1 値である場合には、次に不揮発性メモリから終了データに基づくものである終了信号が出力されるまでの間、当該着目したアドレス値から一定周期毎に 1 ずつ増加したアドレス値を示すアドレス信号を出力し、

着目したアドレス値と組をなす制御フラグ値が第 2 値である場合には、一定周期後に再度前記手順を実行し、

着目したアドレス値と組をなす制御フラグ値が第 3 値である場合には、次にメモリ内蔵マイクロコンピュータチップの外部から解除信号を受けるまでの間、既に出したアドレス信号を継続して出力する

ことを特徴とする請求項 4 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 8】 前記メモリ制御手段は、一定周期で逐次 1 ずつ増加して発生するアドレス信号を入力すると当該アドレス信号に所定の補正を施した結果としてのアドレス信号を逐次出力するアドレス補正回路を有し、

前記メモリ制御手段は、前記アドレス補正回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容である検査データに基づく検査信号を前記不揮発性メモリに出力させ、

前記アドレス補正回路は、繰返開始アドレス値、繰返終了アドレス値及び繰返

回数を保持し、入力されるアドレス信号が示すアドレス値が当該繰返開始アドレス値と一致した時から一定周期で当該繰返開始アドレス値から当該繰返終了アドレス値までを順次示すアドレス信号を当該繰返回数分だけ出力する

ことを特徴とする請求項 2 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 9】 前記メモリ制御手段は、前記検査データに基づいてマイクロコンピュータ部内の回路ブロックの駆動が正常に行えた場合における駆動結果の期待値を示す期待値データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である期待値データに基づく期待値信号とを当該不揮発性メモリに出力させ、

前記各組における検査データと期待値データとのビット数の配分は、検査データの内容に応じて異なり、

前記駆動手段は、不揮発性メモリから逐次出力される検査信号に加えて期待値信号の少なくとも一部を含む混合信号に基づく信号を前記ポートに伝え、

前記ポートは、前記駆動手段により伝達される信号の内容に応じて、当該信号から検査信号に基づく部分を抽出して前記マイクロコンピュータ部内の該当回路ブロックに伝える

ことを特徴とする請求項 2 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 0】 前記駆動手段は、不揮発性メモリ内蔵マイクロコンピュータチップの外部から印加される入力信号基準電圧に基づいて前記検査信号を整形して、整形結果の信号を、前記ポートを介して前記マイクロコンピュータ部内の回路ブロックに伝達し、

前記出力手段は、不揮発性メモリ内蔵マイクロコンピュータチップの外部から印加される比較基準電圧に基づいて前記ポートを介して受け取った検査結果信号を整形して、整形結果の信号を、不揮発性メモリ内蔵マイクロコンピュータチッ

プの外部に出力する

ことを特徴とする請求項 2 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 1】 前記駆動手段は、前記マイクロコンピュータ部内の回路ブロックそれぞれと独立した接続線で接続されており、該当の接続線を介して前記検査信号に基づく信号を 1 又は複数の前記回路ブロックに伝達し、

前記出力手段は、前記マイクロコンピュータ部内の各回路ブロックの駆動結果としての検査結果信号を該当の接続線を介して受け取り当該検査結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力する

ことを特徴とする請求項 1 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 2】 前記メモリ制御手段は、前記検査データを、メモリ内蔵マイクロコンピュータチップの外部から取得して前記不揮発性メモリの各アドレスに記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容である検査データに基づく検査信号を当該不揮発性メモリに出力させ、

前記メモリ部は更に、メモリ内蔵マイクロコンピュータチップの外部から逐次供給される前記アドレス信号に基づき、マイクロコンピュータ部内の検査対象となる回路ブロックを特定する検査対象特定回路を有し、

前記駆動手段は、前記検査信号に基づく信号を前記検査対象特定回路により特定された回路ブロックに該当の接続線を介して伝達し、

前記出力手段は、前記検査対象特定回路により特定された回路ブロックからの検査結果信号を該当の接続線を介して受け取り当該検査結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力する

ことを特徴とする請求項 1 1 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 3】 前記メモリ制御手段は、マイクロコンピュータ部内の回路ブロックのうち前記検査データによる検査の対象となる回路ブロックを特定するための回路選択情報と前記検査データとの組を、メモリ内蔵マイクロコンピュー

タチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である回路選択情報に基づくセレクト信号とを当該不揮発性メモリに出力させ、

前記駆動手段は、前記不揮発性メモリから出力された前記セレクト信号に基づき検査の対象となる回路ブロックを特定し、当該セレクト信号とともに前記不揮発性メモリから出力された前記検査信号に基づく信号を、当該特定された回路ブロックに該当の接続線を介して伝達する

ことを特徴とする請求項 1 1 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 4】 前記メモリ制御手段は、複数の不揮発性メモリを含み、マイクロコンピュータ部内の各回路ブロックを駆動して検査を行うための複数の検査データを不揮発性メモリ内蔵マイクロコンピュータチップの外部から取得して各不揮発性メモリに記録した後、各検査データに基づく検査信号を各不揮発性メモリに逐次出力させ、

前記メモリ制御手段は、前記検査信号を各不揮発性メモリに逐次出力させるに際して、各不揮発性メモリが、同一の回路ブロックについての検査を行うための検査データに基づく検査信号を同時に出力しないように各不揮発性メモリを制御し、

前記駆動手段は、各不揮発性メモリから逐次出力される検査信号を取得し、各検査信号に基づく各信号を該当の各回路ブロックに伝達する

ことを特徴とする請求項 1 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 5】 前記マイクロコンピュータ部は、CPUを有し、

前記不揮発性メモリは、発振回路を有し、

前記不揮発性メモリ内蔵マイクロコンピュータチップは、前記発振回路の発振により生じるクロック信号と、当該不揮発性メモリ内蔵マイクロコンピュータチップの外部から入力されるクロック信号とのいずれかを選択的に当該CPUに供

給する選択回路を備える

ことを特徴とする請求項 1 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 6】 前記メモリ制御手段は、前記選択回路にいずれのクロック信号を選択させるかを指定する選択データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である選択データに基づく選択信号とを当該不揮発性メモリに出力させ、

前記選択回路は、前記不揮発性メモリから出力される選択信号に基づいて CPU に供給するクロック信号を選択する

ことを特徴とする請求項 1 5 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 7】 前記不揮発性メモリにおける前記発振回路は、入力される信号に応じて複数の予め定まっている発振周期のいずれかで発振してクロック信号を発生し、

前記メモリ制御手段は、前記発振回路による発振周期を選択するための発振周期選択データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリセル内容の一部である検査データに基づく検査信号を当該不揮発性メモリに出力させるとともに、当該アドレスのメモリセル内容の一部である発振周期選択データを当該メモリセルから読み出して当該発振周期選択データに基づく信号を前記発振回路に入力するよう当該不揮発性メモリを制御する

ことを特徴とする請求項 1 5 記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 8】 前記出力手段は、
前記不揮発性メモリから出力される検査信号によって定められる時間、前記検査結果信号に基づく前記信号を遅延させる遅延部を有し、
当該遅延部により遅延された後の信号を出力する
ことを特徴とする請求項 1 に記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 1 9】 前記駆動手段は、
前記不揮発性メモリから出力される検査信号によって定められる時間、前記回路ブロックに伝達されるべき信号を遅延させる遅延部を有し、
当該遅延部により遅延された後の信号を前記回路ブロックに伝達する
ことを特徴とする請求項 1 に記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 2 0】 前記不揮発性メモリ内蔵マイクロコンピュータチップは、
さらに、
前記不揮発性メモリに記録されている検査データにより指定される電圧の電源電力を、前記マイクロコンピュータ部へ供給する電源手段を有し、
前記マイクロコンピュータ部は、当該電源電力により動作するように構成されている
ことを特徴とする請求項 1 に記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 2 1】 前記マイクロコンピュータ部は、前記回路ブロックの 1 つに D / A 部を有し、
当該 D / A 部は、前記駆動手段から伝達される信号により指定される電圧信号を出力し、前記マイクロコンピュータ部へ電源として供給するように構成されている
ことを特徴とする請求項 2 0 に記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 2 2】 前記不揮発性メモリは、入力された電圧以上の電圧信号を出力可能な電源回路を有し、

当該電源回路は、前記不揮発性メモリに記録されている検査データにより指定される電圧信号を出力し、前記マイクロコンピュータ部へ電源として供給するように構成されている

ことを特徴とする請求項 2 0 に記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 2 3】 前記不揮発性メモリ内蔵マイクロコンピュータチップは、さらに、

前記マイクロコンピュータ部へ供給される電源の電流が、前記不揮発性メモリに記録されている検査データにより指定される量を超えているか否かを示す比較結果信号を出力する電流比較手段を有し、

前記出力手段は、さらに、当該比較結果信号を受け取り当該比較結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力する

ことを特徴とする請求項 1 に記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 2 4】 前記不揮発性メモリは、センスアンプと、レジスタとを含み、

当該レジスタは、前記不揮発性メモリに記録されている検査データを複製保持し、

当該センスアンプは、マイクロコンピュータ部へ供給される電源の電流が、当該レジスタに複製保持されている検査データにより指定される量を超えているか否かを示す比較結果信号を出力するように構成されている

ことを特徴とする請求項 2 3 に記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 2 5】 前記メモリ制御手段は、さらに、

検査において不良判定がなされたことを示す信号を取得し、当該信号が取得された時点の前記アドレス信号により示されるアドレスデータを、不良アドレスデータとして前記不揮発性メモリの所定のアドレスに記録する

ことを特徴とする請求項 3 に記載の不揮発性メモリ内蔵マイクロコンピュータチップ。

【請求項 2 6】 前記マイクロコンピュータ部は、CPUを有し、
前記メモリ制御手段は、さらに、

当該CPUによって実行可能な解析用プログラムを、検査に先立って、メモリ
内蔵マイクロコンピュータチップの外部から取得し、当該取得したプログラムを
前記不揮発性メモリの所定の先頭アドレス以降に記録し、

前記不良アドレスデータを記録した後、当該先頭アドレスからの実行開始を指
示する制御信号を当該CPUに供給し、

当該CPUは、当該制御信号を受けて、前記解析用プログラムを実行する
ことを特徴とする請求項 2 5 に記載の不揮発性メモリ内蔵マイクロコンピュ
ータチップ。

【請求項 2 7】 前記マイクロコンピュータ部は、CPUを有し、

前記メモリ制御手段は、当該CPUへ無動作命令（NOP 命令）を表すデータ
信号を供給し、

当該CPUは、当該データ信号を受けて、前記メモリ制御手段へアドレス信号
を逐次供給し、

前記メモリ制御手段は、当該アドレス信号に応じて、当該アドレス信号で示さ
れるアドレスのメモリ内容である検査データに基づく検査信号を前記不揮発性メ
モリに出力させる

ことを特徴とする請求項 2 に記載の不揮発性メモリ内蔵マイクロコンピュ
ータチップ。

【請求項 2 8】 マイクロコンピュータ部と不揮発性メモリ部とを含んで構
成される半導体チップを、当該不揮発性メモリ部に記録された検査データを用い
て検査する検査方法であって、

第 1 の検査データを当該不揮発性メモリ部に記録した後、当該第 1 の検査デー
タを用いて当該マイクロコンピュータ部を検査する第 1 検査ステップと、

当該検査において不良と判断された場合に、当該不揮発性メモリ部の内容を第
2 の検査データに書き換え、その後、当該第 2 の検査データを用いて当該マイク
ロコンピュータ部を検査する第 2 検査ステップと

を含むことを特徴とする検査方法。

【請求項 2 9】 それぞれがマイクロコンピュータ部と不揮発性メモリ部とを含んで構成される複数の半導体チップを、自身の不揮発性メモリ部に記録された個々の検査項目に対応する検査データを用いて、複数の検査項目について検査する検査方法であって、

各検査項目について、対応する検査用データを前記不揮発性メモリ部に記録した後、当該記録された検査データを用いて行うマイクロコンピュータ部の検査を、前記複数の半導体チップのうちの所定数について実施する第 1 検査ステップと

、
当該第 1 検査ステップにおける検査結果に応じて、各検査項目について全数検査を行うか否かを決定する決定ステップと、

全数検査を行うと決定された検査項目についてのみ、対応する検査データを前記不揮発性メモリ部に記録した後、当該記録された検査データを用いて行うマイクロコンピュータ部の検査を、前記複数の半導体チップの全てについて実施する第 2 検査ステップと

を含むことを特徴とする検査方法。

【請求項 3 0】 それぞれがマイクロコンピュータ部と不揮発性メモリ部とを含んで構成される第 1 及び第 2 の半導体チップを、それぞれの不揮発性メモリ部に記録されている検査データを用いて検査する検査方法であって、

当該第 1 及び第 2 の半導体チップは、当該第 1 の半導体チップにおける不揮発性メモリ部に記録されている第 1 の検査データを、第 2 の半導体チップへ供給可能に接続されており、

当該第 1 の検査データを第 2 の半導体チップへ供給する供給ステップと、

供給された当該第 1 の検査データを用いて、当該第 2 の半導体チップにおけるマイクロコンピュータ部を検査する検査ステップと、

当該第 2 の半導体チップにおける不揮発性メモリ部に記録されている第 2 の検査データを用いて、当該第 2 の半導体チップにおけるマイクロコンピュータ部を検査する検査ステップと

を含むことを特徴とする検査方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、不揮発メモリ内蔵マイクロコンピュータ（以下、「不揮発性メモリ内蔵マイコン」という。）の検査に関する。

【 0 0 0 2 】

【従来の技術】

従来、マイクロコンピュータ部（以下、「マイコン部」という。）とメモリ部とから構成される不揮発メモリ内蔵マイコンを検査する場合には、メモリ部をメモリテスターで検査し、その後にマイコン部をロジックテスターで検査していた。なお、検査の結果、良品と判定された不揮発性メモリ内蔵マイコンは、出荷され各種製品に利用されることになる（例えば、非特許文献 1 を参照）。

【 0 0 0 3 】

図 7 2 は、従来の不揮発メモリ内蔵マイコン、メモリテスター及びロジックテスターの概略構成図である。

まず、従来の不揮発性メモリ内蔵マイコンについて説明する。

不揮発性メモリ内蔵マイコンのマイコン部 3 4 3 0 は、CPU 3 4 3 1、RAM 3 4 3 2、タイマ 3 4 3 3、シリアル 3 4 3 4、ポート 3 4 3 5、A/D 3 4 3 6、D/A 3 4 3 7 等の回路ブロックを有し、各回路ブロックはバス等で接続されている。外部からの信号はポート 3 4 3 5 を介して各回路ブロックに入力される構成になっており、検査時におけるロジックテスターからの信号 S 3 4 1 0 はポート 3 4 3 5 を介して各回路ブロックを駆動させることになる。また、各回路ブロックから外部へ信号を出力する際にもポート 3 4 3 5 を介して出力される構成になっている。

【 0 0 0 4 】

不揮発性メモリ内蔵マイコンのメモリ部 3 4 4 0 は、不揮発性メモリ 3 4 4 1 及びメモリ I/F 3 4 4 3 を有し、不揮発性メモリ 3 4 4 1 はメモリ I/F 3 4 4 3 を介してマイコン部 3 4 3 0 と接続される。メモリ部 3 4 4 0 内の各回路と外部を接続する場合は、マイコン部 3 4 3 0 内のポート 3 4 3 5 を介して行われるが、図 7 2 においては図面の簡略化のためにポート 3 4 3 5 を介さず直接接続

されているように表現している。

【 0 0 0 5 】

マイコン部 3 4 3 0 の CPU 3 4 3 1 は通常動作時には、メモリ I / F 3 4 4 3 を介して不揮発性メモリ 3 4 4 1 内のデータを読み出したり、不揮発性メモリ 3 4 4 1 内にデータを書き込んだりすることができる。

次に、メモリテスター 3 4 0 0 について説明する。

メモリテスター 3 4 0 0 は、アドレス発生回路 3 4 0 2、論理比較回路 3 4 0 4、良否判定回路 3 4 0 5 及びテスト信号発生回路 3 4 0 6 を有する。

【 0 0 0 6 】

テスト信号発生回路 3 4 0 6 は、メモリ I / F 3 4 4 3 を介して不揮発性メモリ 3 4 4 1 に与えるべき制御信号 S 3 4 0 6 a とデータ S 3 4 0 6 b とを送出する機能を有し、アドレス発生回路 3 4 0 2 は、メモリ I / F 3 4 4 3 を介して不揮発性メモリ 3 4 4 1 に与えるべきアドレス信号 S 3 4 0 2 を送出的る機能を有する。

【 0 0 0 7 】

また、論理比較回路 3 4 0 4 は、不揮発性メモリ 3 4 4 1 から読み出されたデータをメモリ I / F を介して受け取り、そのデータと、予め定めている期待値データとを比較してその比較結果を良否判定回路 3 4 0 5 に伝える機能を有し、良否判定回路 3 4 0 5 は、論理比較回路 3 4 0 4 から一致しないとの比較結果を受けると不良品と判定し、その他の場合には良品と判定し、その判定結果を表示等により検査者等に通知する機能を有する。

【 0 0 0 8 】

不揮発性メモリのマイコン部 3 4 3 0 をリセットがかかった状態にして、マイコン部内のポート 3 4 3 5 をメモリ検査用の状態、つまりメモリテスター 3 4 0 0 とメモリ部 3 4 4 0 がほぼ直結した状態にし、メモリ部 3 4 4 0 の検査は行われる。検査は、メモリテスター 3 4 0 0 のテスト信号発生回路 3 4 0 6 により、書き込み、読み出し等の制御信号や、書き込むべきデータをメモリ I / F 3 4 4 3 に与えるとともに、アドレス発生回路 3 4 0 2 から逐次適切にアドレス信号を与えることにより不揮発性メモリ 3 4 4 1 を動作させ、その動作結果を論理比較回

路 3 4 0 4 で検証するという方法でなされる。なお、メモリ部 3 4 4 0 の検査時における信号の流れを、図 7 2 において小さい矩形枠で囲んだ番号 1 ～ 7 で示している。

【 0 0 0 9 】

次に、ロジックテスター 3 4 1 0 について説明する。

ロジックテスター 3 4 1 0 は、パターン発生器 3 4 1 1、波形整形回路 3 4 1 2、タイミング発生器 3 4 1 3、入力信号基準電圧発生器 3 4 1 4、入出力信号制御回路 3 4 1 5、比較基準電圧発生器 3 4 1 6、論理比較回路 3 4 1 7、良否判定回路 3 4 1 8 及び不良解析メモリー 3 4 1 9 を備える。

【 0 0 1 0 】

パターン発生回路 3 4 1 1 は、マイコン部 3 4 3 0 に与える命令を示す検査パターンを作成し、波形整形回路 3 4 1 2 に検査パターン S 3 4 1 1 a を送り、また、正常にマイコン部 3 4 3 0 が動作した場合に得られると期待される検査結果を示す期待値パターンを作成して、論理比較回路 3 4 1 7 に期待値パターン S 3 4 1 1 b を送る。

【 0 0 1 1 】

波形整形回路 3 4 1 2 は、タイミング発生器 3 4 1 3 の制御により、パターン発生回路 3 4 1 1 から送られてきた検査パターン S 3 4 1 1 a を検査に最適な信号波形に整形し、入出力信号制御回路 3 4 1 5 に送る。

入出力信号制御回路 3 4 1 5 は、入力信号基準電圧発生器 3 4 1 4 の電圧レベルに基づき、波形整形回路 3 4 1 2 から送られてきた信号波形のハイレベル（H i g h レベル）、ローレベル（L o w レベル）を決めて、不揮発メモリ内蔵マイコンを駆動させる信号 S 3 4 1 0 を不揮発メモリ内蔵マイコンに送る。この結果、不揮発メモリ内蔵マイコンのマイコン部 3 4 3 0 のいずれかの回路ブロックが信号 S 3 4 1 0 に応じて動作し、動作結果を示す信号 S 3 4 3 0 が入出力信号制御回路 3 4 1 5 に返却される。

【 0 0 1 2 】

入出力信号制御回路 3 4 1 5 は、受け取った信号 S 3 4 3 0 を、比較基準電圧発生器 3 4 1 6 の電圧レベルに基づき H i g h レベル、L o w レベルに切り分け

て論理比較回路 3 4 1 7 にデータ S 3 4 1 5 a、S 3 4 1 5 b を送る。

論理比較回路 3 4 1 7 は、データ S 3 4 1 5 a 及び S 3 4 1 5 b と、期待値パターン S 3 4 1 1 b とを比較し、一致した場合は、良否判定回路 3 4 1 8 と不良解析メモリー 3 4 1 9 とに不揮発性メモリ内蔵マイコンが正常であることを示す P A S S 判定の信号を送り、一致しない場合は、不揮発性メモリ内蔵マイコンが正常でないことを示す F A I L 判定の信号を送る。

【 0 0 1 3 】

不良解析メモリー 3 4 1 9 は、論理比較回路 3 4 1 7 から F A I L 判定の信号が送られてくると、パターン発生器 3 4 1 1 から検査パターンの出力に合わせて送られてくる、各検査パターン識別用のデータ S 3 4 1 1 c を記憶する。従って、不良解析メモリー 3 4 1 9 の記憶内容を読み出すことにより、どのタイミングで F A I L 判定がなされたかを明確にすることができる。

【 0 0 1 4 】

このロジックテスター 3 4 1 0 によるマイコン部 3 4 3 0 の検査は、ロジックテスター 3 4 1 0 の接続端子と、不揮発性メモリ内蔵マイコンの信号入出力の多数の端子とを接続して行われ、ロジックテスター 3 4 1 0 からマイコン部 3 4 3 0 の駆動用の信号 S 3 4 1 0 をポートに入力し、駆動結果を示す信号 S 3 4 3 0 をポートから受け取り、期待される結果と一致するか否かを判定することにより実施される。通常は、多数の検査パターンによって検査を行う。マイコン部 3 4 3 0 の検査時における信号の流れを、図 7 2 において小さい円形枠で囲んだ番号 1、2 で示している。

【 0 0 1 5 】

このように、従来、不揮発性メモリ内蔵マイコンの検査は、メモリテスターによるメモリ部の検査とロジックテスターによるマイコン部の検査との 2 工程で実施されている。

なお、検査時間の短縮を図る等のために、一般に、複数のメモリテスターとして機能し得る検査装置と複数の不揮発性メモリ内蔵マイコンチップとを接続して並行して複数チップについての各メモリ部の検査が行われ、複数のロジックテスターとして機能し得る検査装置と複数の不揮発性メモリ内蔵マイコンチップとを

接続して並行して複数チップについての各マイコン部等の検査が行われる。

【0016】

【非特許文献1】

高柳邦夫、田島道夫、松井純爾監修「半導体計測評価事典」サイエンスフォーラム（株）発行、1994年2月10日、第1版、pp. 625-651

【0017】

【発明が解決しようとする課題】

しかし、検査装置の備える端子数が有限であることから、並行して検査できる不揮発性メモリ内蔵マイコンチップの数には限界があり、一般にメモリ部の検査よりもマイコン部の検査においては接続されるべき端子数が多いため、特にマイコン部の検査については並行して検査できるチップ数が少なくなる。

【0018】

また、メモリ部の検査とマイコン部の検査との2工程を実施することは、工程間での接続変更等を要するため、検査効率が悪い。

そこで、本発明は、ロジックテスターによるマイコン部の検査の工程の省略、つまりロジックテスターによる検査のための検査装置と不揮発性メモリ内蔵マイコンとの接続の省略を図り、総合的な検査時間の短縮を図るためになされたものであり、効率的に検査を行うことができるような新たな不揮発性メモリ内蔵マイコンを提供することと、その新たな不揮発性メモリ内蔵マイコンについての検査技術を提供することを目的とする。

【0019】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る不揮発性メモリ内蔵マイクロコンピュータチップは、マイクロコンピュータ部とメモリ部とを含む半導体チップである不揮発性メモリ内蔵マイクロコンピュータチップであって、前記マイクロコンピュータ部は、CPUその他の回路ブロックを有し、前記メモリ部は、不揮発性メモリを含み、マイクロコンピュータ部内の各回路ブロックを駆動して検査を行うための複数の検査データを不揮発性メモリ内蔵マイクロコンピュータチップの外部から取得して不揮発性メモリに記録した後、各検査データに基づく検査信号

を当該不揮発性メモリに逐次出力させるメモリ制御手段と、不揮発性メモリから逐次出力される検査信号に基づく信号を、前記マイクロコンピュータ部内の回路ブロックを駆動するために当該回路ブロックに伝達する駆動手段と、前記マイクロコンピュータ部内の各回路ブロックの駆動結果としての検査結果信号を受け取り当該検査結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力する出力手段とを有する。

【 0 0 2 0 】

上記構成により、従来ロジックテスターから、マイクロコンピュータ（マイコン）部内のCPU等の各回路ブロックに検査用データを与えて行っていた検査を、不揮発性メモリに検査用データ群を記録した後、不揮発性メモリに検査用データを逐次出力させて、マイコン部内の各回路ブロックに与えることにより実現することができ、このため、不揮発性メモリ内蔵マイコンの外部においては基本的にメモリテスターがあれば検査を実施できるようになる。従って、ロジックテスターを用いた検査の工程を省略できるため、検査コストの削減が図れ、また、多数の端子を有する検査装置によって、同時に並行して検査できる不揮発性メモリ内蔵マイコンチップの数を増やすことができるため、総合的な検査時間の短縮が図れる。

【 0 0 2 1 】

【発明の実施の形態】

<実施の形態 1>

本発明の実施の形態 1 に係る不揮発性メモリ内蔵マイコンについて、図 1 ～図 5 を用いて説明する。

<構成>

図 1 は、本発明の実施の形態 1 に係る不揮発性メモリ内蔵マイコンの構成図である。

【 0 0 2 2 】

なお、同図には、不揮発性メモリ内蔵マイコン 1 1 0 を検査するための外部装置であるメモリテスター 1 0 0 をも示している。また、同図では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以

外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1又は複数本の信号線を通じて伝達される。

【 0 0 2 3 】

実施の形態1に係る不揮発性メモリ内蔵マイコン110は、マイコン部130とメモリ部140とを備え、半導体チップとして形成されたものである。従って、不揮発性メモリ内蔵マイコン110中の入出力信号制御回路142、メモリI/F143等の各機能ブロックは、その各機能を発揮するように半導体等の各材料を組合せて形成されたものである。

【 0 0 2 4 】

この不揮発性メモリ内蔵マイコン110は、通常時においては従来の不揮発性メモリ内蔵マイコンと同様の機能を実現すべくマイコン部130内のCPUがメモリ部140内の不揮発性メモリに格納されたデータにアクセスして動作するように構成されており、また、検査時には、マイコン部130の検査に関して、ロジックテスターを接続して検査を行うのではなく、メモリ部140の機能を利用してメモリテスター100により検査を行うことができるように構成されている。

【 0 0 2 5 】

マイコン部130は、図1に示すように、CPU131、RAM132、タイマ133、シリアル信号の入出力用インタフェースであるシリアル134、複数の信号の入出力用インタフェースであるポート135、いわゆるA/DコンバータであるA/D136、いわゆるD/AコンバータであるD/A137等の回路ブロックから構成されている。

【 0 0 2 6 】

CPU131は、通常時において、メモリ部140の不揮発性メモリにアクセスするため信号S131b、S131c及びS131dの授受を行い、またメモリ部140に対してシステムクロックを供給する。

マイコン部130内の各回路ブロックはバス等で接続されており、ポート135は、不揮発性メモリマイコンの外部からの信号をその内容に応じてマイコン部130又はメモリ部140内の各部に伝達する機能を有する。実際には、不揮発

性メモリ内蔵マイコン 1 1 0 とメモリテスター 1 0 0 との間の信号の授受はポート 1 3 5 を介して行われるが、便宜上、図 1 においてはポート 1 3 5 を経由する信号経路を省略し、直接的に信号の授受を行うように表現している。

【 0 0 2 7 】

メモリ部 1 4 0 からのマイコン部 1 3 0 の各回路ブロックを検査用に動作させるための検査信号 S 1 4 2 a はポート 1 3 5 に入力され、ポート 1 3 5 を介してマイコン部 1 3 0 内の各回路ブロックを駆動させることになり、駆動結果である検査結果信号 S 1 3 5 a はポート 1 3 5 からメモリ部 1 4 0 へ出力されることになる。

【 0 0 2 8 】

メモリ部 1 4 0 は、不揮発性メモリ 1 4 1、入出力信号制御回路 1 4 2 及びメモリインタフェース (I/F) 1 4 3 を備える。

図 2 は、不揮発性メモリ 1 4 1 の構成図である。同図中、破線矢印で通常時における信号の流れを示し、実線矢印で検査時における信号の流れを示している。

不揮発性メモリ 1 4 1 は、同図に示すように、データを保持する不揮発性メモリセル 1 4 1 a と、不揮発性メモリセル 1 4 1 a のデータを出力するセンスアンプ回路 1 4 1 b と、センスアンプ回路 1 4 1 b を制御するコントロール回路 1 4 1 c を有し、更に制御信号 S 1 4 3 c で示される検査モードに応じて、アドレス入力する信号の経路とデータを出力する信号の経路を切り替えるマルチプレクサ (MPX) 1 4 1 d、1 4 1 e 及び 1 4 1 f を有する。なお、検査モードは、メモリ部の検査時と、マイコン部の検査時との別を示す情報であり、メモリテスター 1 0 0 からの指示により定まる。

【 0 0 2 9 】

この不揮発性メモリ 1 4 1 に与えられるアドレス信号を、不揮発性メモリ 1 4 1 は、システムクロック S 1 3 1 e に同期して取得する。

メモリ部の検査時には、コントロール回路 1 4 1 c にはアドレス信号 S 1 4 3 b、データ信号 S 1 4 3 a 及び制御信号 S 1 4 3 c が伝達され、制御信号 S 1 4 3 c によって書き込み動作が指定されていれば、不揮発性メモリセル 1 4 1 a 内の、アドレス信号 S 1 4 3 b で指し示されるアドレスのセルに、データ信

号 S 1 4 3 a で示されたデータが書き込まれることとなり、制御信号 S 1 4 3 c が読み出し動作が指定されていれば、不揮発性メモリセル 1 4 1 a 内の、アドレス信号 S 1 4 3 b で指し示されるアドレスのセルからセンスアンプ回路 1 4 1 b を介してデータが読み出され、データ信号 S 1 4 3 a として出力される。また、マイコン部の検査時においては、コントロール回路 1 4 1 c にはアドレス信号 S 1 0 2 a が伝達され、不揮発性メモリセル 1 4 1 a 内の、アドレス信号 S 1 0 2 a で指し示されるアドレスのセルからセンスアンプ回路 1 4 1 b を介してデータが読み出され、検査信号 S 1 4 1 a 及び期待値信号 S 1 4 1 b として出力される。

【 0 0 3 0 】

なお、メモリテスター 1 0 0 は、マイコン部 1 3 0 の検査前に、マイコン検査用にマイコン各部を駆動するための検査信号列と、その駆動結果と照合するための期待値信号列とを不揮発性メモリセル 1 4 1 a に書き込むように運用される。

マイコン部 1 3 0 の検査時においては、メモリテスター 1 0 0 からのアドレス信号 S 1 0 2 a を受けて、不揮発性メモリ 1 4 1 は、各検査信号 S 1 4 1 a を入出力信号制御回路 1 4 2 に伝達するとともに、期待値信号 S 1 4 1 b をメモリ I / F 1 4 3 に伝達する。

【 0 0 3 1 】

入出力信号制御回路 1 4 2 は、不揮発性メモリ 1 4 1 から伝えられるマイコン部 1 3 0 の各回路ブロックを駆動するための検査信号 S 1 4 1 a を、メモリテスター 1 0 0 から供給される入力信号基準電圧に基づいて L o w レベルの電圧値か H i g h レベルの電圧値かに整形して、その結果である検査信号 S 1 4 2 a をマイコン部 1 3 0 のポート 1 3 5 に伝達し、また、マイコン部 1 3 0 のポート 1 3 5 からの駆動結果を示す検査結果信号 S 1 3 5 a を、メモリテスター 1 0 0 から供給される比較基準電圧に基づいて L o w レベルの電圧値か H i g h レベルの電圧値かに整形して、その結果である検査結果信号 S 1 4 2 b をメモリ I / F 1 4 3 に伝達する機能を有する。

【 0 0 3 2 】

メモリ I / F 1 4 3 は、通常時において C P U 1 3 1 が不揮発性メモリ 1 4 1

にアクセスする際のインタフェースとしての機能を有し、メモリ部の検査時においてメモリテスター 1 0 0 からの不揮発性メモリ 1 4 1 についての検査をするための信号 S 1 0 6 a 及び S 1 0 6 b を不揮発性メモリ 1 4 1 に伝達してその結果を示す信号をメモリテスター 1 0 0 に伝達する機能を有し、更にマイコン部の検査時においてメモリテスター 1 0 0 に対して不揮発性メモリ 1 4 1 から伝えられる期待値信号と入出力信号制御回路 1 4 2 から伝えられる検査結果信号とをメモリテスター 1 0 0 に出力する機能を有する。

【 0 0 3 3 】

また、メモリテスター 1 0 0 は、不揮発性メモリ内蔵マイコン 1 1 0 の検査を行う装置であり、水晶発振子 1 2 0、入力信号基準電圧発生器 1 0 1、アドレス発生回路 1 0 2、比較基準電圧発生器 1 0 3、論理比較回路 1 0 4、良否判定回路 1 0 5 及びテスト信号発生回路 1 0 6 を備える。即ち、このメモリテスター 1 0 0 は、不揮発性メモリについての検査のみを行うための従来のメモリテスターに加えて、マイコン部を検査するために水晶発振子 1 2 0、入力信号基準電圧発生器 1 0 1 及び比較基準電圧発生器 1 0 3 を備えている。

【 0 0 3 4 】

ここで、入力信号基準電圧発生器 1 0 1 は、L o w レベルの電圧値 V I L と H i g h レベルの電圧値 V I H とを発生し得る回路であり、比較基準電圧発生器 1 0 3 は、L o w レベルの電圧値 V O L と H i g h レベルの電圧値 V O H とを発生し得る回路である。

アドレス発生回路 1 0 2 は、メモリテスター 1 0 0 で動作する検査制御用プログラム等の制御下で、不揮発性メモリ 1 4 1 に特定の不揮発性メモリセルにアクセスするためのアドレス信号を発生する回路であり、テスト信号発生回路 1 0 6 は、検査制御プログラムの制御下で、検査モード等を示す制御信号や、不揮発性メモリを検査するための書込み用のデータ信号等を発生する回路である。また、検査制御プログラムの制御下で、論理比較回路 1 0 4 はメモリ部の検査時においては不揮発性メモリ 1 4 1 から読み出されたデータを予め定められた期待値等と比較しその結果を良否判定回路 1 0 5 に伝える機能を有し、良否判定回路 1 0 5 はその結果に応じて不揮発性メモリ内蔵マイコン 1 1 0 が良品か不良品かの判定

を行う機能を有し、例えばその判定結果を検査者等に報知する。

【 0 0 3 5 】

なお、メモリテスター 1 0 0 は、不揮発性メモリ内蔵マイコン 1 1 0 にリセット信号を送りマイコン部 1 3 0 にリセットをかける機能をも備えている。

＜検査手順＞

以下、メモリテスター 1 0 0 により不揮発性メモリ内蔵マイコン 1 1 0 を検査する場合の検査手順を説明する。この検査手順は、例えばメモリテスター 1 0 0 に備えられた制御用 CPU により特定の検査制御プログラムが実行され、その CPU がアドレス発生回路 1 0 2 等の各部を制御することにより、実施される。

【 0 0 3 6 】

まず、メモリテスター 1 0 0 はメモリ部 1 4 0 の検査を行うべく、マイコン部 1 3 0 にリセットをかける。これにより、マイコン部 1 3 0 内のポート 1 3 5 は、メモリテスター 1 0 0 とメモリ部 1 4 0 内の各部との間での信号の直接的な授受を可能にする状態、いわば検査時の状態に切り替わる。

メモリテスター 1 0 0 は、テスト信号発生回路 1 0 6 から検査モードをメモリ部の検査とする制御信号 S 1 0 6 b を発し、従来における不揮発性メモリの検査方法と同様に、アドレス発生回路 1 0 2 によりアドレス信号 S 1 0 2 b をメモリ I / F 1 4 3 に与えつつ、テスト信号発生回路 1 0 6 によりデータ S 1 0 6 a 及び制御信号 S 1 0 6 b をメモリ I / F 1 4 3 に与える。メモリ I / F 1 4 3 はアドレス信号 S 1 0 2 b、データ S 1 0 6 a 及び制御信号 S 1 0 6 b を受けるとこれらをそれぞれアドレス信号 S 1 4 3 b、データ信号 S 1 4 3 a、制御信号 S 1 4 3 c として不揮発性メモリ 1 4 1 に伝え、この結果、不揮発性メモリ 1 4 1 にデータが書き込まれ、又は、不揮発性メモリ 1 4 1 からデータが読み出される。

【 0 0 3 7 】

不揮発性メモリ 1 4 1 から送られたデータ信号 S 1 4 3 a は、メモリ I / F 1 4 3 を介してデータ信号 S 1 4 3 d として、メモリテスター 1 0 0 の論理比較回路 1 0 4 に伝えられる。

論理比較回路 1 0 4 ではメモリ部 1 4 0 から送られてきたデータ信号の値と、例えばメモリテスター 1 0 0 の検査制御プログラム等により指定される、正常動

作した場合の期待値とを、比較し、比較結果を良否判定回路 1 0 5 に送り、良否判定回路 1 0 5 ではその比較結果に応じて良品か不良品かの判定を行う。

【 0 0 3 8 】

図 1 では、上述したメモリ部 1 4 0 の検査時における信号の流れを、小さい矩形枠で囲んだ番号 1 ～ 7 で示している。

なお、メモリ部 1 4 0 とマイコン部 1 3 0 の接続に関しても従来同様の方法で検査を行う。

メモリ部 1 4 0 の検査の結果、良品と判定されたメモリ部 1 4 0 の不揮発性メモリ 1 4 1 には、メモリテスター 1 0 0 は、マイコン部 1 3 0 の検査用データが書き込まれる。

【 0 0 3 9 】

図 3 は、マイコン部の検査に際して不揮発性メモリセルに格納される検査用データを示した図である。

マイコン部の検査用データは、マイコン部の検査のためにメモリテスター 1 0 0 から不揮発性メモリ 1 4 1 の不揮発性メモリセル 1 4 1 a に書き込まれるデータであり、同図に示すように検査信号と期待値信号との組の集合で構成され、マイコン部の検査時において不揮発性メモリ 1 4 1 から検査信号 S 1 4 1 a 及び期待値信号 S 1 4 1 b として出力されることになるものである。

【 0 0 4 0 】

この検査用データを構成する検査信号はマイコン部 1 3 0 内の各回路ブロックを駆動するための制御データであり、例えば CPU 1 3 1 に解釈実行される命令等である。また、検査用データを構成する期待値信号は、検査信号によって駆動された各回路ブロックが返す駆動結果を示す信号と照合するために用いられる、正常動作した場合における期待値を示す信号である。

【 0 0 4 1 】

メモリテスター 1 0 0 のテスト信号発生回路 1 0 6 によって検査用データがメモリ I / F 1 4 3 に与えられ、この結果、図 3 に示すように、D 0、D 1、D 2 という順に不揮発性メモリ 1 4 1 の不揮発性メモリセル 1 4 1 a に書き込まれる。

不揮発性メモリセル 1 4 1 a に検査用データを書き込んだ後に、メモリテストー 1 0 0 は、この検査用データを用いてマイコン部 1 3 0 の検査を開始する。

【 0 0 4 2 】

マイコン部 1 3 0 の検査を開始すると、メモリテストー 1 0 0 は、テスト信号発生回路 1 0 6 から検査モードをマイコン部の検査とする制御信号 S 1 0 6 b を発し、水晶発振子 1 2 0 から発されるクロック信号 S 1 2 0 a を CPU 1 3 1 に入力する。クロック信号 S 1 2 0 a を受けると CPU 1 3 1 は、システムクロックを不揮発性メモリ 1 4 1 等、メモリ部 1 4 0 の各部に出力する。なお、メモリ部 1 4 0 内の各部はこのシステムクロックに同期して動作を行う。

【 0 0 4 3 】

続いて、メモリテストー 1 0 0 は、アドレス発生回路 1 0 2 から 1 6 ビットのアドレス値を示すアドレス信号 S 1 0 2 a を、不揮発性メモリ 1 4 1 に与える。これに対して、不揮発性メモリ 1 4 1 は、アドレス信号 S 1 0 2 a で指し示される位置に格納されているデータを出力する。このデータは、上位 m ビット（例えば 4 6 ビット）が検査信号 S 1 4 1 a として入出力信号制御回路 1 4 2 に送出され、下位 n ビット（例えば 1 8 ビット）が期待値信号 S 1 4 1 b としてメモリ I / F 1 4 3 に送出される。なお、説明の便宜上、不揮発性メモリ内の各データのアドレスは 1 6 ビットで表せるものとしている。

【 0 0 4 4 】

入出力信号制御回路 1 4 2 は、入力された検査信号 S 1 4 1 a について、メモリテストー 1 0 0 の入力信号基準電圧発生器 1 0 1 から印加された電圧 S 1 0 1 a 及び S 1 0 1 b によって電圧レベルを変更し、マイコン部 1 3 0 の駆動用の検査信号 S 1 4 2 a としてポート 1 3 5 に送出する。

ポート 1 3 5 に入力された検査信号 S 1 4 2 a に応じて、マイコン部 1 3 0 は動作し、検査信号に応じた動作結果を示す検査結果信号 S 1 3 5 a がポート 1 3 5 から入出力信号制御回路 1 4 2 へ送出される。なお、この際のマイコン部 1 3 0 の動作は、ロジックテスターを用いてポートに信号を入力して検査していた従来の方式による場合における動作と同等である。

【 0 0 4 5 】

入出力信号制御回路 1 4 2 は、入力された検査結果信号 S 1 3 5 a について、メモリテスター 1 0 0 の比較基準電圧発生器 1 0 3 から印加された電圧 S 1 0 3 a 及び S 1 0 3 b によって電圧レベルを調整して、検査結果信号 S 1 4 2 b としてメモリ I / F 1 4 3 に送出する。

メモリ I / F 1 4 3 では、不揮発性メモリ 1 4 1 から伝えられた期待値信号 S 1 4 1 b と、入出力信号制御回路 1 4 2 から伝えられた検査結果信号 S 1 4 2 b とを、それぞれ期待値信号 S 1 4 3 d、検査結果信号 S 1 4 3 e として論理比較回路 1 0 4 に送出する。

【 0 0 4 6 】

論理比較回路 1 0 4 では、伝えられた期待値信号 S 1 4 3 d と検査結果信号 S 1 4 3 e とを比較し、比較結果を良否判定回路 1 0 5 に送り、良否判定回路 1 0 5 では、その比較結果に応じて、良品か不良品かを判定する。期待値信号 S 1 4 3 d と検査結果信号 S 1 4 3 e が、システムクロックに対応する周期での比較時点において不一致となれば、検査対象の不揮発性メモリ内蔵マイコン 1 1 0 は不良品であると判定されることになる。

【 0 0 4 7 】

図 1 では、上述したマイコン部 1 3 0 の検査時における信号の流れを、小さい円形枠で囲んだ番号 1 ～ 6 で示している。

以下、上述のマイコン部 1 3 0 の検査について、図 4 及び図 5 により信号の内容例を示して説明する。

図 4 は、不揮発性メモリ内蔵マイコン 1 1 0 のマイコン部 1 3 0 の検査時に生じる主な信号の関係を示した図である。

【 0 0 4 8 】

同図に示すように、アドレス信号 S 1 0 2 a を受けて不揮発性メモリ 1 4 1 はそのアドレス位置のメモリセル内容から検査信号 S 1 4 1 a 及び期待値信号 S 1 4 1 b を発する。また、その検査信号 S 1 4 1 a に基づく検査信号 S 1 4 2 a がマイコン部 1 3 0 に到達し、これに対応してマイコン部 1 3 0 からの検査結果信号 S 1 3 5 a に基づく検査結果信号 S 1 4 2 b が生じる。最終的には期待値信号 S 1 4 1 b と検査結果信号 S 1 4 2 b とに基づく信号がメモリ I / F 1 4 3 から

論理比較回路 1 0 4 において比較されることになる。

【 0 0 4 9 】

図 5 は、マイコン部 1 3 0 の検査時における各信号のタイミングチャートである。

水晶発振子 1 2 0 から入力されるクロック信号 S 1 2 0 a に合わせて、CPU 1 3 1 はシステムクロック S 1 3 1 e を形成しメモリ部 1 4 0 に供給しているが、メモリ部 1 4 0 の各部ではこのシステムクロック S 1 3 1 e との関係を保って信号出力を行う。

【 0 0 5 0 】

同図に示すように、アドレス信号 S 1 0 2 a に少し遅れて、不揮発性メモリ 1 4 1 は、そのアドレス信号で指し示された位置のメモリセルに格納されている値の検査信号 S 1 4 1 a と期待値信号 S 1 4 1 b とを同時に出力し、それぞれ入出力信号制御回路 1 4 2、メモリ I / F 1 4 3 に到達する。同図では、仮に検査信号 S 1 4 1 a も期待値信号 S 1 4 1 b も 1 6 ビットであるとした場合の信号値を例示している。

【 0 0 5 1 】

例えば、0 F 1 3 h (1 6 進数) という値を示す検査信号 S 1 4 1 a を受けると、入出力信号制御回路 1 4 2 は、伝送上の遅延により少し遅れて 0 F 1 3 h という値を示す検査信号 S 1 4 2 a 即ち命令をマイコン部 1 3 0 に伝え、マイコン部 1 3 0 はこの命令に応じて動作を行って 4 0 0 0 h という検査結果信号 S 1 3 5 a を入出力信号制御回路 1 4 2 に伝え、これより少し遅れて入出力信号制御回路 1 4 2 は、同じ値である 4 0 0 0 h という検査結果信号 S 1 4 2 b をメモリ I / F 1 4 3 に伝え、メモリ I / F 1 4 3 は、既に不揮発性メモリ 1 4 1 から到達している 4 0 0 0 h という値の期待値信号 S 1 4 1 b 及びその 4 0 0 0 h という値の検査結果信号 S 1 4 2 b を、期待値信号 S 1 4 3 d 及び検査結果信号 S 1 4 3 e として論理比較回路 1 0 4 に送出し、その結果、良否判定回路 1 0 5 は、良品であると判定する。

【 0 0 5 2 】

なお、論理比較回路 1 0 4 において検査結果信号 S 1 4 3 e と期待値信号 S 1

4 3 d とを比較した時に一度でも両者が不一致であれば、良否判定回路 1 0 5 は、検査対象である不揮発性メモリ内蔵マイコン 1 1 0 は不良品であると判定する。

なお、図 5 では、メモリ内状態において期待値信号と組をなす検査信号により得られた検査結果信号をその期待値信号と比較する例を示したが、実施の形態 1 の変形例として、伝送遅延やマイコン部 1 3 0 の性能が低い場合等を想定し、ある期待値信号 P の 1 つ前又は複数個前に不揮発性メモリから発された期待値信号と組をなす検査信号により得られた検査結果信号 Q をその期待値信号 P と比較することによってその検査信号に基づき動作したマイコン部内の回路ブロックが正常に動作したか否かを検査できるように、不揮発性メモリ内に格納する検査用データ中の検査信号と期待値信号との対応関係を定めておくようにした実施形態も考えられる。

＜実施の形態 2＞

以下、本発明の実施の形態 2 に係る不揮発性メモリ内蔵マイコンについて、図 6 及び図 7 を用いて説明する。

【0053】

図 6 は、本発明の実施の形態 2 に係る不揮発性メモリ内蔵マイコンの構成図である。

なお、同図には、不揮発性メモリ内蔵マイコン 6 1 0 を検査するための外部装置であるメモリテスター 6 0 0 をも示している。また、同図では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

【0054】

図 6 に示すように、メモリテスター 6 0 0 は、実施の形態 1 で示したメモリテスター 1 0 0 からアドレス発生回路 1 0 2 を削除したものと同等である。

また、不揮発性メモリ内蔵マイコン 6 1 0 は、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 と基本的には同様であるが、メモリ部 1 4 0 の代わりに、アドレス発生回路 6 4 1 を内蔵したメモリ部 6 4 0 を有する点が異なる。

【 0 0 5 5 】

即ち、不揮発性メモリ内蔵マイコン 6 1 0 は、マイコン部 1 3 0 及びメモリ部 6 4 0 を備え、メモリ部 6 4 0 は、不揮発性メモリ 1 4 1、入出力信号制御回路 1 4 2、メモリ I / F 1 4 3 及びアドレス発生回路 6 4 1 を有する。不揮発性メモリ内蔵マイコン 6 1 0 の構成要素のうち図 6 において図 1 と同じ符号を付したものは、実施の形態 1 で説明したものと同等であるため、ここでは詳しい説明を省略する。

【 0 0 5 6 】

アドレス発生回路 6 4 1 は、検査時においてはシステムクロック S 1 3 1 e に同期して 1 ずつカウントアップするカウンタであり、カウンタの値を不揮発性メモリ 1 4 1 にアドレス信号 S 1 0 2 a として供給する回路であり、例えば検査モードがマイコン部 1 3 0 又はメモリ部 6 4 0 の検査を行うことを示すように変化した時等にそのカウンタの値をゼロにリセットする機能を有する。なお、このカウンタのビット数は、不揮発性メモリ 1 4 1 が必要とするアドレス信号の信号線の本数と同じである。

【 0 0 5 7 】

従って、不揮発性メモリ 1 4 1 は、アドレス発生回路 6 4 1 からシステムクロックに同期して逐次供給されるアドレス信号 S 1 0 2 a によって指し示された位置の不揮発性メモリセルの内容を、検査信号 S 1 4 1 a 及び期待値信号 S 1 4 1 b として逐次出力することになり、これらの信号に基づき不揮発性メモリ内蔵マイコン 6 1 0 においても実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 と同様に検査が行われることになる。

【 0 0 5 8 】

このように、不揮発性メモリ内蔵マイコン 6 1 0 は、外部からアドレス信号を受けること無く検査を行うことができるものであるため、メモリテスター 6 0 0 と不揮発性メモリ内蔵マイコン 6 1 0 との間を接続するための信号線の数つまりチャンネル数は、そのアドレス信号の伝達が不要な分だけ、実施の形態 1 で示したメモリテスター 1 0 0 と不揮発性メモリ内蔵マイコン 1 1 0 との間を接続するためのチャンネル数よりも少なくても足りる。

【 0 0 5 9 】

図 7 は、メモリテスターにより同時に検査できる不揮発性メモリ内蔵マイコンの数を対比した図である。

メモリテスターの信号端子数つまりチャネル数が $(x + \alpha) \times Q$ 本であった場合において、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 とメモリテスターとの間を接続するアドレス信号についての信号線の本数が α 本で、その他の信号線の本数が x 本であるとすれば、不揮発性メモリ内蔵マイコン 1 1 0 を Q 台同時に検査することができる。これに対して、同じチャネル数のメモリテスターで不揮発性メモリ内蔵マイコン 6 1 0 を検査する場合には、不揮発性メモリ内蔵マイコン 6 1 0 とメモリテスターとの間を接続する信号線の本数は x 本だけとなるため、不揮発性メモリ内蔵マイコン 6 1 0 を Q 台に $Q \times \alpha / x$ 台を加えた台数だけ同時に検査することができるようになる。

【 0 0 6 0 】

従って、多数のチャネル端子を備える 1 台のメモリテスターで、同時に検査できる不揮発性メモリ内蔵マイコンの数は、この実施の形態 2 で示した不揮発性メモリ内蔵マイコン 6 1 0 の検査の場合の方が多数になり、この実施の形態 2 で示した構成を有する不揮発性メモリ内蔵マイコン 6 1 0 によれば、多数の不揮発性メモリ内蔵マイコンを検査する場合における検査の総時間の短縮化が図れるようになる。

< 実施の形態 3 >

以下、本発明の実施の形態 3 に係る不揮発性メモリ内蔵マイコンについて、図 8 ～図 1 1 を用いて説明する。

【 0 0 6 1 】

図 8 は、本発明の実施の形態 3 に係る不揮発性メモリ内蔵マイコンの構成図である。

なお、同図には、不揮発性メモリ内蔵マイコン 4 1 0 を検査するための外部装置である前述したメモリテスター 6 0 0 をも示している。また、同図では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢

印で示される信号は、1 又は複数本の信号線を通じて伝達される。

【 0 0 6 2 】

また、不揮発性メモリ内蔵マイコン 4 1 0 は、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 と基本的には同様であるが、メモリ部 1 4 0 の代わりに、アドレス発生回路 4 4 1 を内蔵したメモリ部 4 4 0 を有する点異なる。

即ち、不揮発性メモリ内蔵マイコン 4 1 0 は、マイコン部 1 3 0 及びメモリ部 6 4 0 を備え、メモリ部 6 4 0 は、不揮発性メモリ 1 4 1、入出力信号制御回路 1 4 2、メモリ I / F 1 4 3 及びアドレス発生回路 4 4 1 を有する。不揮発性メモリ内蔵マイコン 4 1 0 の構成要素のうち図 8 において図 1 と同じ符号を付したものは、実施の形態 1 で説明したものと同等であるため、ここでは詳しい説明を省略する。

【 0 0 6 3 】

図 9 は、実施の形態 3 におけるアドレス発生回路 4 4 1 の構成図である。

アドレス発生回路 4 4 1 は、検査時において、不揮発性メモリ 1 4 1 から制御信号 S 4 4 1 を受け取りこれに応じてアドレス信号 S 1 0 2 a を発生して不揮発性メモリ 1 4 1 に供給する回路であり、単にアドレス値を逐次増分して発生するのみならず、いわゆるループ処理がなされるようにするために一度発生したことのあるアドレス値を再度発生し得る点に特徴がある。

【 0 0 6 4 】

このアドレス発生回路 4 4 1 は、同図に示すように、アドレス制御回路 5 0 1、アドレスインクリメント回路 5 0 2、スタートアドレス設定回路 5 0 3 及びアドレススタック回路 5 0 4 を有する。

ここで、アドレス制御回路 5 0 1 は不揮発性メモリ 1 4 1 からの 2 ビットの制御信号 S 4 4 1 を受けて、先の 1 ビットをアドレススタック回路 5 0 4 に制御信号 S 5 0 1 b として送出し、後の 1 ビットをスタートアドレス設定回路 5 0 3 に制御信号 S 5 0 1 a として送出する機能を有する。不揮発性メモリ 1 4 1 からの制御信号 S 4 4 1 が 2 ビットの「1 0」であれば、例えばアドレススタック回路 5 0 4 への制御信号 S 5 0 1 b はアクティブとなり、かつ、スタートアドレス設定回路 5 0 3 への制御信号 S 5 0 1 a は非アクティブとなり、制御信号 S 4 4 1

が「01」であれば制御信号 S 5 0 1 b は非アクティブとなりかつ制御信号 S 5 0 1 a はアクティブとなり、制御信号 S 4 4 1 が「00」であれば制御信号 S 5 0 1 a 及び S 5 0 1 b は共に非アクティブとなる。

【0065】

但し、アドレス制御回路 5 0 1 は、アドレス信号 S 5 0 0 として既に一度受けたアドレス値と同値のものを再度受けた場合には、そのタイミングにおいて受けた制御信号 S 4 4 1 がどのような値であろうと、そのタイミングにおいては、スタートアドレス設定回路 5 0 3 への制御信号 S 5 0 1 a を非アクティブにするとともにアドレススタック回路 5 0 4 への制御信号 S 5 0 1 b を非アクティブにする。これは、処理の無限ループを避けるためである。なお、アドレス制御回路 5 0 1 において、アドレス信号 S 5 0 0 として受けたアドレス値が既に一度受けたアドレス値と同一であるか否かの判定は、例えば最大アドレスを保持する方式を用いて、受けたアドレス値が保持している最大アドレスより大きい場合に限りその受けたアドレス値を最大アドレスとして保持することとし、受けたアドレス値が保持している最大アドレスより大きくない場合には、受けたアドレス値が既に一度受けたアドレス値と同一であると判定すること等により実現できる。

【0066】

アドレスインクリメント回路 5 0 2 は、不揮発性メモリ 1 4 1 が必要とするアドレス信号の信号線の本数と同じビット数（16ビット）のカウンタを含み、スタートアドレス設定回路 5 0 3 からアドレス値を示すスタートアドレス信号 S 5 0 3 を受けるとそのアドレス値をカウンタに設定してその後はシステムクロック S 1 3 1 e に同期して1ずつカウントアップしてアドレスを増加し、またそのシステムクロック S 1 3 1 e に合わせてアドレス制御回路 5 0 1 とアドレススタック回路 5 0 4 にアドレス信号 S 5 0 0 を出力する機能を有する。

【0067】

なお、アドレスインクリメント回路 5 0 2 は、メモリ I / F 1 4 3 から送られる制御信号 S 1 4 3 c の一部の分流であって検査モードを示す検査モード信号 S 1 4 3 f を受け、例えば検査モードが検査を行うことを示すようになった時等にそのカウンタにおけるアドレス値をゼロにリセットする機能を有し、また、検査

モードがマイコン部 1 3 0 の検査を示している場合にはアドレス信号 S 5 0 0 と同一内容をアドレス信号 S 1 0 2 a として出力し、検査モードがメモリ部 4 4 0 の検査を示している場合にはアドレス信号 S 5 0 0 と同一内容をアドレス信号 S 1 0 2 b として出力する。

【 0 0 6 8 】

スタートアドレス設定回路 5 0 3 は、アドレス制御回路 5 0 1 からの制御信号 S 5 0 1 a がアクティブであるときにだけ、アドレススタック回路 5 0 4 から出力されているアドレス信号 S 5 0 4 を受けて、アドレスインクリメント回路 5 0 2 にスタートアドレス信号 S 5 0 3 として送出する機能を有する。

また、アドレススタック回路 5 0 4 は、アドレス値を記憶する保持領域を有し、アドレス制御回路 5 0 1 からの制御信号 S 5 0 1 がアクティブであるときにだけアドレスインクリメント回路 5 0 2 からのアドレス信号 S 5 0 0 で示されるアドレス値を保持領域に設定して保持する機能と、保持領域に保持しているアドレス値をアドレス信号 S 5 0 4 として出力する機能とを有する。

【 0 0 6 9 】

図 1 0 は、実施の形態 3 において不揮発性メモリ 1 4 1 に格納される検査用データ及び制御信号列を示した図である。

メモリテスター 6 0 0 から不揮発性メモリ 1 4 1 の不揮発性メモリセルに書き込まれるデータは、同図に示すように制御信号列と検査信号と期待値信号との組の集合で構成され、検査時において不揮発性メモリ 1 4 1 から制御信号 S 4 4 1、検査信号 S 1 4 1 a 及び期待値信号 S 1 4 1 b として出力されることになるものである。検査信号と期待値信号との意味内容は実施の形態 1 で示したものと同じである。

【 0 0 7 0 】

2 ビットの制御信号列のうち先のビットは、自ビットの不揮発性メモリセル内でのアドレスをループ処理を行うための起点として設定すべき旨を「1」で表し、また設定すべきでない旨を「0」で表すものであり、後のビットは、既にループ処理を行うための起点として設定しているアドレスに制御を移行する旨を「1」で表し、また制御移行しない旨を「0」で表すものである。

【0071】

なお、メモリテスター600のテスト信号発生回路106によって制御信号列及び検査用データがメモリI/F143に与えられ、この結果、図10に示すように、A0D0、A1D1、A2D2という順に制御信号列及び検査用データの各組は、不揮発性メモリ141の不揮発性メモリセル141aに書き込まれる。

以下、不揮発性メモリ141には図10に例示した内容のデータが格納されていることを前提として、アドレス発生回路441の動作を説明する。

【0072】

不揮発性メモリセル141aに制御用信号列及び検査用データを書き込んだ後に、メモリテスター600は、検査モードをマイコン部130の検査を示すようにして、マイコン部130の検査を開始させる。

これにより、アドレス発生回路441は、アドレス値を0にしカウントアップを開始する。

【0073】

図11は、アドレス発生回路441において生じる主な信号の変化を示したタイミングチャートである。

同図に示すように、まず、アドレスインクリメント回路502は、0000hを内容とするアドレス信号S500及びS102aを出力する。

このアドレス信号S102aを受けて不揮発性メモリ141から制御信号列A0と検査用データD0とが読み出され、これにより検査用データD0は検査信号S141aと期待値信号S141bとに分けて出力される。つまり、システムクロックに同期してアドレス信号S102aが与えられる毎に、そのアドレス信号S102aで示されるアドレスにおける検査用データが不揮発性メモリ141から検査信号S141aと期待値信号S141bとして出力され、これらの信号に基づき実施の形態1で示した手順により検査が行われる。

【0074】

アドレスインクリメント回路502から0000hを内容とするアドレス信号S102aが与えられた不揮発性メモリ141は、A0つまり2ビットの「00」を内容とする制御信号S441をアドレス制御回路501に送る。これを受け

てアドレス制御回路501は、制御信号S501a及びS501bを共に非アクティブにする。

【0075】

次のシステムクロックに同期してアドレスインクリメント回路502は、カウンタを1増加させ、0001hを内容とするアドレス信号S500及びS102aを出力する。

このアドレスインクリメント回路502から0001hを内容とするアドレス信号S102aが与えられた不揮発性メモリ141は、A1つまり2ビットの「00」を内容とする制御信号S441をアドレス制御回路501に送るとともに、検査用データD1を検査信号S141a及び期待値信号S141bとして出力する。アドレス信号S102aが与えられる毎にそのアドレス信号で示されるアドレスの検査用データが出力されるが、以下、その検査用データの出力についての説明を省略する。

【0076】

更に次のシステムクロックに同期してアドレスインクリメント回路502は、カウンタを1増加させ、0002hを内容とするアドレス信号S500及びS102aを出力する。

このアドレスインクリメント回路502から0002hを内容とするアドレス信号S102aが与えられた不揮発性メモリ141は、A2つまり2ビットの「10」を内容とする制御信号S441をアドレス制御回路501に送るとともに、検査用データD2を検査信号S141a及び期待値信号S141bとして出力する。

【0077】

2ビットの「10」を内容とする制御信号S441を受けて、アドレス制御回路501は、アドレススタック回路504への制御信号S501bをアクティブにし、これを受けてアドレススタック回路504は、アドレスインクリメント回路502から伝えられているアドレス信号S500の内容である0002hを記憶保持するとともにアドレス信号S504として出力する。

【0078】

この後もアドレスインクリメント回路 5 0 2 は、システムクロックに同期して、順次、0 0 0 3 h、0 0 0 4 h、0 0 0 5 h を内容とするアドレス信号 S 5 0 0 及び S 1 0 2 b を出力する。

0 0 0 5 h を内容とするアドレス信号 S 1 0 2 a が与えられた不揮発性メモリ 1 4 1 は、2 ビットの「0 1」を内容とする制御信号 S 4 4 1 をアドレス制御回路 5 0 1 に送る。2 ビットの「0 1」を内容とする制御信号 S 4 4 1 を受けてアドレス制御回路 5 0 1 は、スタートアドレス設定回路 5 0 3 への制御信号 S 5 0 1 a をアクティブにし、これを受けてスタートアドレス設定回路 5 0 3 は、0 0 0 2 h を内容とするアドレス信号 S 5 0 4 を得て、これと同値のスタートアドレス信号 S 5 0 3 をアドレスインクリメント回路 5 0 2 に送出する。アドレスインクリメント回路 5 0 2 は、0 0 0 2 h を内容とするスタートアドレス信号 S 5 0 3 を得ると、その値を、次のシステムクロックに同期してアドレス信号 S 5 0 0 及び S 1 0 2 a として出力する。

【0 0 7 9】

その 0 0 0 2 h を内容とするアドレス信号 S 1 0 2 a を受けると不揮発性メモリ 1 4 1 は、再度 A 2 つまり 2 ビットの「1 0」を内容とする制御信号 S 4 4 1 をアドレス制御回路 5 0 1 に送る。このときには、アドレスインクリメント回路 5 0 2 から 0 0 0 2 h を内容とするアドレス信号 S 5 0 0 がアドレス制御回路 5 0 1 に伝えられている。

【0 0 8 0】

従って、アドレス制御回路 5 0 1 は、既に一度受けたアドレス値である 0 0 0 2 h と同値のものを再度受けたことになるので、2 ビットの「1 0」を内容とする制御信号 S 4 4 1 を受けたときに、特に制御信号 S 5 0 1 b をアクティブにすることなく、制御信号 S 5 0 1 a 及び制御信号 S 5 0 1 b を非アクティブにする。なお、図 1 1 中では、既に一度受けたアドレス値と同値を示すアドレス信号 S 5 0 0 を受けたことによってアドレス制御回路 5 0 1 が制御信号 S 5 0 1 a 又は S 5 0 1 b をアクティブにしなかった様子を、破線で示している。

【0 0 8 1】

このようにして、不揮発性メモリ 1 4 1 中の制御信号列を反映してアドレス発

生回路 4 4 1 は、アドレス信号 S 1 0 2 b を 0 0 0 0 h から 0 0 0 5 h まで順次発生して、続いて 0 0 0 2 h から 0 0 0 6 h まで順次発生し、続いて 0 0 0 2 h から 0 0 0 7 h まで順次発生するというように（図 1 1 参照）、部分的にループするようにアドレス信号 S 1 0 2 a を発生する。従って、この不揮発性メモリ内蔵マイコン 4 1 0 によれば、不揮発性メモリ 1 4 1 内に、同一内容の検査用データを複数設定しておかなくても、検査用データを繰返して利用して検査を行うことができ、即ち少量データで多くの検査を行うことができるようになる。

＜実施の形態 4＞

以下、本発明の実施の形態 4 に係る不揮発性メモリ内蔵マイコンについて、図 1 2 ～図 1 4 を用いて説明する。

【0 0 8 2】

図 1 2 は、本発明の実施の形態 4 に係る不揮発性メモリ内蔵マイコンの構成図である。

なお、同図には、不揮発性メモリ内蔵マイコン 8 1 0 を検査するための外部装置であるメモリテスター 1 0 0 をも示している。また、同図では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

【0 0 8 3】

また、不揮発性メモリ内蔵マイコン 8 1 0 は、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 と基本的には同様であるが、メモリ部 1 4 0 の代わりに、アドレス発生回路 8 4 1 を内蔵したメモリ部 8 4 0 を有する点が異なる。

即ち、不揮発性メモリ内蔵マイコン 8 1 0 は、マイコン部 1 3 0 及びメモリ部 8 4 0 を備え、メモリ部 8 4 0 は、不揮発性メモリ 1 4 1、入出力信号制御回路 1 4 2、メモリ I/F 1 4 3 及びアドレス発生回路 8 4 1 を有する。不揮発性メモリ内蔵マイコン 8 1 0 及びメモリテスター 1 0 0 の構成要素のうち図 1 2 において図 1 と同じ符号を付したものは、実施の形態 1 で説明したものと同等であるため、ここでは詳しい説明を省略する。

【0 0 8 4】

ここで、アドレス発生回路 8 4 1 は、システムクロック S 1 3 1 e に同期して、不揮発性メモリ 1 4 1 に与えるべきアドレス信号 S 1 0 2 a を発生する回路であり、マイコン部 1 3 0 の各回路の検査を行うための検査用データが不揮発性メモリ 1 4 1 に格納された後、マイコン部 1 3 0 を検査する際において、予め設定された順序でアドレス信号 S 1 0 2 a を発生する機能を有する。従って、運用の際には、検査用データのあるまとまり単位毎の実行順序を予め設定しておくことになる。

【 0 0 8 5 】

図 1 3 は、実施の形態 4 におけるアドレス発生回路 8 4 1 の構成図である。

同図に示すように、アドレス発生回路 8 4 1 は、初期値テーブル書込回路 9 1 0 と、書替え可能な不揮発性メモリを内部に含む初期値テーブル記憶回路 9 1 1 と、不揮発性メモリ 1 4 1 が必要とするアドレス信号の信号線の本数と同じビット数（1 6 ビット）のカウンタ 9 1 2 とを有する。

【 0 0 8 6 】

初期値テーブル書込回路 9 1 0 は、メモリテスター 1 0 0 の制御下で、アドレス発生回路 1 0 2 から送出されるアドレス信号 S 1 0 2 と、テスト信号発生回路 1 0 6 からメモリ I / F 1 4 3 を通じて伝達されるデータ信号 S 1 4 3 a とを受けて、初期値テーブル記憶回路 9 1 1 に伝える回路である。

初期値テーブル記憶回路 9 1 1 は、検査モード信号 S 1 4 3 f がマイコン部 1 3 0 の検査を示さない期間において、初期値テーブル書込回路 9 1 0 からデータ信号 S 1 4 3 a が伝えられると、内部のメモリ内のアドレス信号 S 1 0 2 で示される各位置に、データ信号 S 1 4 3 a で示されるデータを記録する機能を有し、これにより図 1 3 に例示したようにアドレス A 1、アドレス A 2 等のアドレス値の集合と終了マーク（E N D）とが内部のメモリに格納される。ここで、アドレス A 1、アドレス A 2 等のアドレス値は、不揮発性メモリ 1 4 1 内における、マイコン部内の各種回路についてのひとまとまりの検査用データの先頭アドレスである。

【 0 0 8 7 】

更に、初期値テーブル記憶回路 9 1 1 は、検査モード信号 S 1 4 3 f がマイコ

ン部 1 3 0 の検査を示し始めた時、及び、その後に検査信号 S 1 4 1 a が所定の値（終了コード）を内容とする状態となる毎に、内部のメモリに記録されているアドレス値を先頭のものから 1 つだけカウンタ 9 1 2 に伝えてカウンタの内容として設定させる機能を有する。

【 0 0 8 8 】

また、カウンタ 9 1 2 は、検査モード信号 S 1 4 3 f がマイコン部 1 3 0 の検査を示している期間において、初期値テーブル記憶回路 9 1 1 により設定されたカウンタの内容をシステムクロック S 1 3 1 e に同期してアドレス信号 S 1 0 2 a として出力しては 1 つカウントアップする動作を繰り返す機能を有する。

図 1 4 は、実施の形態 4 において不揮発性メモリセル 1 4 1 a に格納される検査用データの例を示す図である。

【 0 0 8 9 】

検査を行う場合に、メモリテスター 1 0 0 の制御下で不揮発性メモリ 1 4 1 には、マイコン部 1 3 0 の検査より前に、基本的には実施の形態 1 で示したデータ構成の検査用データが格納される。但し、検査用データは、マイコン部 1 3 0 内の回路別にまとめられており、各ひとまとまりの検査用データの終端にはその終端であることを示す予め定められた値（終了コード）が記録される。

【 0 0 9 0 】

図 1 4 の例は、アドレス 0 0 0 0 h から格納されている CPU 本体の検査用データ群、アドレス 1 0 0 0 h から格納されている A/D の検査用データ群、アドレス 1 8 0 0 h から格納されているタイマの検査用データ群等が、それぞれ終了コードで区分されている様子を示している。

以下、検査時における不揮発性メモリ 1 4 1 及びアドレス発生回路 8 4 1 の各部の動作例について説明する。

【 0 0 9 1 】

まず、メモリテスター 1 0 0 により、実施の形態 1 で示したようにメモリ部の検査を行って、その結果として良品であると判定された場合に、図 1 4 に例示するような検査用データを不揮発性メモリ 1 4 1 に記録し、続いて図 1 3 に例示するようなデータをアドレス発生回路 8 4 1 中の初期値テーブル記憶回路 9 1 1 に

記録し、その後に検査モード信号を、マイコン部 1 3 0 の検査を示すように設定する。これにより、まず、初期値テーブル記憶回路 9 1 1 から内部メモリの先頭に記憶しているアドレス A 1 (0 0 0 0 h) がカウンタ 9 1 2 に設定されアドレス信号 S 1 0 2 a として出力され、以後はシステムクロック S 1 3 1 e に同期して、0 0 0 1 h、0 0 0 2 h、・・・と 1 ずつ増加したアドレス値を示すアドレス信号 S 1 0 2 a が次々とカウンタ 9 1 2 から不揮発性メモリ 1 4 1 に与えられる。

【 0 0 9 2 】

これにより、CPU 本体の検査用データが次々と不揮発性メモリ 1 4 1 から読み出され、即ち不揮発性メモリ 1 4 1 から検査信号 S 1 4 1 a と期待値信号 S 1 4 1 b とが出力され、これらの信号に基づいて実施の形態 1 で示したように入出力信号制御回路 1 4 2、メモリ I / F 1 4 3 等が動作することによりマイコン部 1 3 0 の CPU 1 3 1 についての検査が行われる。なお、不揮発性メモリ 1 4 1 から出力される検査信号 S 1 4 1 a は入出力信号制御回路 1 4 2 のみならず、アドレス発生回路 8 4 1 にも供給される。

【 0 0 9 3 】

予め定めていた終了コードの値を示す検査信号 S 1 4 1 a がアドレス発生回路 8 4 1 に伝えられた時に、初期値テーブル記憶回路 9 1 1 はアドレス A 2 (1 8 0 0 h) をカウンタ 9 1 2 に設定し、以後はカウンタ 9 1 2 によりシステムクロック S 1 3 1 e に同期して、1 8 0 0 h、1 8 0 1 h、1 8 0 2 h、・・・と 1 ずつ増加したアドレス値を示すアドレス信号 S 1 0 2 a が次々と不揮発性メモリ 1 4 1 に与えられる。

【 0 0 9 4 】

これにより、A / D の検査用データ群をスキップして、タイマの検査用データが次々と不揮発性メモリ 1 4 1 から読み出され、これらに基づいてマイコン部 1 3 0 のタイマ 1 3 3 についての検査が行われる。

不揮発性メモリ 1 4 1 内のタイマの検査用データ群が全て読み出された後に、その次に置かれている終了コードが読み出され、その終了コードの値を示す検査信号 S 1 4 1 a がアドレス発生回路に伝えられる。これを受けて初期値テーブル

記憶回路 9 1 1 は、内部のメモリから終了マーク（F F F F h）を読み出し、これでカウンタ 9 1 2 にアドレス信号 S 1 0 2 a の出力を停止させ、検査は終了する。

【 0 0 9 5 】

このアドレス発生回路 8 4 1 によれば、マイコン部 1 3 0 の検査時において、外部からアドレス信号 S 1 0 2 b の供給がなくても、不揮発性メモリ 1 4 1 に適切にアドレス信号 S 1 0 2 a を供給することができ、かつ、特定の回路についての検査を省略すること等ができるようになる。

例えば、ある程度同じ構成の不揮発性メモリ内蔵マイコン 8 1 0 を多数検査する場合において、不揮発性メモリには同じ内容を画一的に記録しておくことを前提とし、その検査対象の一部には A / D が省かれた構成の不揮発性メモリ内蔵マイコンが存在するような場合に、それらの不揮発性メモリ内蔵マイコンの検査を行う際にアドレス発生回路 8 4 1 等が有効に機能し、A / D の検査を省くことが容易に実現できるようになる。

< 実施の形態 5 >

以下、本発明の実施の形態 5 に係る不揮発性メモリ内蔵マイコンについて、図 1 2、図 1 4 及び図 1 5 を用いて説明する。

【 0 0 9 6 】

実施の形態 5 に係る不揮発性メモリ内蔵マイコンは、実施の形態 4 で示した不揮発性メモリ内蔵マイコン 8 1 0 のうちアドレス発生回路 8 4 1 を、図 1 5 に示すアドレス発生回路 1 4 4 に置き換えたものであり、その他の部分については基本的には実施の形態 4 で示したものと同一である（図 1 2 参照）。但し、アドレス発生回路 1 4 4 にはメモリテスター 1 0 0 から検査者等により任意のタイミングで解除信号 S 1 0 8 が与えられ得る。

【 0 0 9 7 】

図 1 5 は、実施の形態 5 におけるアドレス発生回路 1 4 4 の構成図である。

同図に示すように、アドレス発生回路 1 4 4 は、初期値テーブル書込回路 2 1 0、初期値テーブル記憶回路 2 1 1、カウンタ 2 1 2 及びマルチプレクサ（MPX）2 1 3 を有する。

ここで、初期値テーブル書込回路 2 1 0 は、メモリテストター 1 0 0 の制御下で、アドレス発生回路 1 0 2 から送出されるアドレス信号 S 1 0 2 と、テスト信号発生回路 1 0 6 からメモリ I / F 1 4 3 を通じて伝達されるデータ信号 S 1 4 3 a とを受けて、初期値テーブル記憶回路 2 1 1 に伝える回路である。

【 0 0 9 8 】

初期値テーブル記憶回路 2 1 1 は、書替え可能な不揮発性のメモリを内部に含み、不揮発性メモリ 1 4 1 内に格納される各検査用データの各メモリアドレス 2 1 1 a ~ 2 1 1 i を内部のメモリ内に保持し、検査モード信号 S 1 4 3 f がマイコン部 1 3 0 の検査を示さない期間において、初期値テーブル書込回路 2 1 0 からデータ信号 S 1 4 3 a が伝えられると、内部のメモリ内のアドレス信号 S 1 0 2 で示される各位置に、データ信号 S 1 4 3 a で示されるデータを記録する機能を有し、これにより図 1 5 に例示したようにアドレス 2 1 1 a ~ 2 1 1 h と終了マーク (E N D) 2 1 1 i とが内部のメモリに格納される。ここで、アドレス 2 1 1 a ~ 2 1 1 h は、その下位 1 6 ビットが不揮発性メモリ 1 4 1 内における、マイコン部内の各検査用データのアドレス値であり、下位から 1 8 ビット目が M P X 2 1 3 の選択を制御するための選択値である。

【 0 0 9 9 】

更に、初期値テーブル記憶回路 2 1 1 は、所定の出力タイミングにおいて、内部メモリ内の各データ (アドレス 2 1 1 a ~ 2 1 1 h) を先頭のものから順次出力する機能を有する。初期値テーブル記憶回路 2 1 1 内部のメモリの各データは、下位 1 6 ビットがアドレス信号 S 2 1 1 a として出力され、下位から 1 8 ビット目の選択値が選択信号 S 2 1 1 b として出力される。

【 0 1 0 0 】

ここでいう所定の出力タイミングとしては、①検査モード信号 S 1 4 3 f がマイコン部 1 3 0 の検査を示し始めた時、②その後に検査信号 S 1 4 1 a が所定の値 (終了コード) を内容とする状態となる毎、③内部メモリ内のデータのうち下位から 1 8 ビット目が H i g h でかつ下位から 1 7 ビット目が L o w であるデータを出力して次のシステムクロック S 1 3 1 e を受けた時がある。

【 0 1 0 1 】

また、初期値テーブル記憶回路 2 1 1 は、内部メモリ内のデータのうち下位から 1 8 ビット目が H i g h でかつ下位から 1 7 ビット目が H i g h であるデータを出力してから解除信号 S 1 0 8 を受けるまでの間においてシステムクロック S 1 3 1 e を受けた時は、そのデータを固定的に出力し続け、解除信号 S 1 0 8 を受けると、次のデータを出力する。

【 0 1 0 2 】

カウンタ 2 1 2 は、不揮発性メモリ 1 4 1 が必要とするアドレス信号の信号線の本数と同じビット数（1 6 ビット）のカウンタであり、検査モード信号 S 1 4 3 f がマイコン部 1 3 0 の検査を示している期間において、初期値テーブル記憶回路 2 1 1 から出力されたアドレス信号 S 2 1 1 a を受けると、それで示されるアドレスをカウンタに設定して、そのカウンタ値をシステムクロック S 1 3 1 e に同期してアドレス信号 S 2 1 2 a として、MPX 2 1 3 に出力しては、カウンタ値を 1 つカウントアップする動作を繰り返す機能を有す。

【 0 1 0 3 】

また、MPX 2 1 3 は、初期値テーブル記憶回路 2 1 1 から伝えられる選択信号 S 2 1 1 b に応じて、初期値テーブル記憶回路 2 1 1 より出力されるアドレス S 2 1 1 a とカウンタ 2 1 2 より出力されるアドレス信号 S 2 1 2 a とを選択して一方を出力する機能を有する。つまり、選択信号 S 2 1 1 b が H i g h であれば、アドレス信号 S 2 1 1 a を選択し、選択信号 S 2 1 1 b が L o w であれば、アドレス信号 S 2 1 2 a を選択する機能を有する。

【 0 1 0 4 】

以下、検査時における不揮発性メモリ 1 4 1 及びアドレス発生回路 1 4 4 の各部の動作例について説明する。

まず、メモリテスター 1 0 0 により、実施の形態 1 で示したようにメモリ部の検査を行って、その結果として良品であると判定された場合に、図 1 4 に例示するような検査用データを不揮発性メモリ 1 4 1 に記録し、続いて図 1 5 に例示するようなデータをアドレス発生回路 1 4 4 中の初期値テーブル記憶回路 2 1 1 に記録し、その後に検査モード信号を、マイコン部 1 3 0 の検査を示すように設定する。これにより、まず、初期値テーブル記憶回路 2 1 1 から内部メモリの先頭

に記憶しているアドレス 2 1 1 a (0 0 0 0 0 h) の下位 1 6 ビットである 0 0 0 0 h がアドレス信号 S 2 1 1 a として出力されるとともに、L o w が選択信号 S 2 1 1 b として出力される。

【 0 1 0 5 】

従って、カウンタ 2 1 2 に 0 0 0 0 h が設定され、カウンタ 2 1 2 からはシステムクロック S 1 3 1 e に同期して 0 0 0 0 h、0 0 0 1 h、0 0 0 2 h、というようにアドレス信号 S 2 1 2 a が順次出力され、初期値テーブル記憶回路 2 1 1 からの選択信号 S 2 1 1 b が L o w であるために、MP X 2 1 3 によりそのアドレス信号 S 2 1 2 a がアドレス信号 S 1 0 2 a として次々と不揮発性メモリ 1 4 1 に出力される。

【 0 1 0 6 】

これにより、CPU 本体の検査用データが次々と不揮発性メモリ 1 4 1 から読み出され、即ち不揮発性メモリ 1 4 1 から検査信号 S 1 4 1 a と期待値信号 S 1 4 1 b とが出力され、これらの信号に基づいて実施の形態 1 で示したように入出力信号制御回路 1 4 2、メモリ I / F 1 4 3 等が動作することによりマイコン部 1 3 0 の CPU 1 3 1 についての検査が行われる。なお、不揮発性メモリ 1 4 1 から出力される検査信号 S 1 4 1 a は入出力信号制御回路 1 4 2 のみならず、アドレス発生回路 1 4 4 にも供給される。

【 0 1 0 7 】

CPU 本体の検査用データが読み出された後に、予め定めていた終了コードの値を示す検査信号 S 1 4 1 a がアドレス発生回路 1 4 4 に伝えられた時に (図 1 4 参照)、初期値テーブル記憶回路 2 1 1 はアドレス 2 1 1 b (2 1 8 0 0 h) の下位 1 6 ビットである 1 8 0 0 h をアドレス信号 S 2 1 1 a として出力するとともに下位から 1 8 ビット目に応じて H i g h である選択信号 S 2 1 1 b を MP X 2 1 3 に出力する。これにより、MP X 2 1 3 によりそのアドレス信号 S 2 1 1 a がアドレス信号 S 1 0 2 a として不揮発性メモリ 1 4 1 に供給される。

【 0 1 0 8 】

これにより、次にはタイマの検査用データが不揮発性メモリ 1 4 1 から読み出され、検査が行われる。

初期値テーブル記憶回路 2 1 1 は、下位から 1 8 ビット目が H i g h で下位から 1 7 ビット目が L o w のデータを出力した後なので、続いて、次のアドレス 2 1 1 c (2 1 8 0 1 h) の下位 1 6 ビットである 1 8 0 1 h をアドレス信号 S 2 1 1 a として出力し、選択信号 S 2 1 1 b を H i g h として出力する。これにより、MPX 2 1 3 からは、1 8 0 1 h がアドレス信号 S 1 0 2 a として不揮発性メモリ 1 4 1 に供給される。

【 0 1 0 9 】

この後も、同様に、初期値テーブル記憶回路 2 1 1 は、次のアドレスの下位 1 6 ビットをアドレス信号 S 2 1 1 a として出力し、これは MPX 2 1 3 を通じて不揮発性メモリ 1 4 1 に供給される。この後、初期値テーブル記憶回路 2 1 1 は、アドレス 2 1 1 e (3 1 8 3 B h) の下位 1 6 ビットである 1 8 3 B h をアドレス信号 S 2 1 1 a として出力すると、そのアドレス 2 1 1 e は下位から 1 8 ビット目が H i g h でありかつ下位から 1 7 ビット目が H i g h であるため、この時から初期値テーブル記憶回路 2 1 1 は解除信号 S 1 0 8 を受けるまで同じアドレス値 (1 8 3 B h) を示すアドレス信号 S 2 1 1 a を出力し続ける。

【 0 1 1 0 】

従って、検査者等がメモリテスター 1 0 0 を操作して解除信号 S 1 0 8 をアドレス発生回路 1 4 4 に送出させるまでの間は、アドレス発生回路 1 4 4 からは同じアドレス信号が継続的に出力され、不揮発性メモリ 1 4 1 中のタイマの検査用データのうちの 1 つが出力された状態が保たれたままとなる。

解除信号 S 1 0 8 を受けると、初期値テーブル記憶回路 2 1 1 は、次のアドレス 2 1 1 f (2 1 0 1 0 h) の下位 1 6 ビットをアドレス信号 S 2 1 1 a として出力するとともにその下位から 1 8 ビット目に応じて選択信号 S 2 1 1 b を H i g h にする。これを受けて MPX 2 1 3 は、1 0 1 0 h をアドレス信号 S 1 0 2 a として不揮発性メモリ 1 4 1 に供給し、不揮発性メモリ 1 4 1 からは、A / D の検査用データのうちの ある部分 が出力される。

【 0 1 1 1 】

こうして、初期値テーブル記憶回路 2 1 1 は、次に出力すべきデータが、内部のメモリ中の終了マーク (E N D) 2 1 1 i に至ったところで、データの出力を

終了する。

従って、この実施の形態 5 におけるアドレス発生回路 1 4 4 によれば、不揮発性メモリ 1 4 1 へのアドレス信号 S 1 0 2 a の供給についての多様な制御が可能となる。

＜実施の形態 6＞

以下、本発明の実施の形態 6 に係る不揮発性メモリ内蔵マイコンについて、図 1 6 及び図 1 7 を用いて説明する。

【0 1 1 2】

図 1 6 は、本発明の実施の形態 6 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態 6 に係る不揮発性メモリ内蔵マイコンは、実施の形態 2 で示した不揮発性メモリ内蔵マイコン 6 1 0 に、カウンタであるアドレス発生回路 6 4 1 から出力されるアドレス信号 S 1 0 2 b を補正してアドレス信号 S 1 0 2 a を出力するアドレス補正回路 1 4 0 0 を付加したものである。

【0 1 1 3】

図 1 7 は、実施の形態 6 に係るアドレス補正回路 1 4 0 0 の構成図である。

同図に示すようにアドレス補正回路 1 4 0 0 は、繰返アドレス記憶部 1 4 0 2 、繰返回数記憶部 1 4 0 3 、照合部 1 4 0 4 及びアドレス出力部 1 4 0 5 を有する。

ここで、繰返アドレス記憶部 1 4 0 2 は、繰返開始アドレスと繰返終了アドレスとを対として予め記憶しているメモリ領域であり、繰返回数記憶部 1 4 0 3 は、繰り返すべき回数を予め記憶しているメモリ領域である。

【0 1 1 4】

照合部 1 4 0 4 は、アドレス発生回路 6 4 1 から送られるアドレス信号 S 1 0 2 b を取得して、繰返アドレス記憶部 1 4 0 2 に記憶されている繰返開始アドレスと一致するか否かを判定し、一致しない場合には、アドレス信号 S 1 0 2 b をそのままアドレス信号 S 1 0 2 a として出力するようにアドレス出力部 1 4 0 5 を制御し、一致した場合にはそれ以後は繰返回数記憶部 1 4 0 3 に記憶されている回数分だけ、アドレス信号 S 1 0 2 b を受ける毎に、繰返開始アドレスから繰

返終了アドレスまでのアドレスを1ずつ増加させながらアドレス信号S 1 0 2 aとして出力するようにアドレス出力部1 4 0 5を制御する機能を有する。

【0 1 1 5】

アドレス出力部1 4 0 5は、内部にカウンタを有しており、照合部1 4 0 4からの指示に従って、アドレス信号S 1 0 2 aを出力する機能を有する。

例えば、規則的なパターンを必要とするRAM 1 3 2等の検査において、不揮発性メモリ1 4 1内のアドレス0 1 0 0 hから0 1 5 0 hまでの検査用データを1 0回繰り返して検査のために利用することとしている場合においては、繰返アドレス記憶部1 4 0 2に繰返開始アドレスとして0 1 0 0 h、繰返終了アドレスとして0 1 5 0 hを予め記録しておき、かつ繰返回数記憶部1 4 0 3に1 0を予め記録しておけばよい。これにより、アドレス補正回路1 4 0 0は、アドレス発生回路6 4 1からシステムクロックS 1 3 1 eに同期して0 0 0 0 hから順に1ずつ増加したアドレス信号S 1 0 2 bが入力された場合に、システムクロックに同期して0 0 0 0 hから0 1 5 0 hまで順に1ずつ増加したアドレス信号S 1 0 2 aを出力し、その後はシステムクロックに同期して再び0 1 0 0 hから0 1 5 0 hまで順に1ずつ増加したアドレス信号S 1 0 2 aを出力し、その後も合計1 0回0 1 0 0 h～0 1 5 0 hを出力する。なお、繰返回数記憶部1 4 0 3に繰返回数としてF F F F h等の予め回数制限なしと定めている値が設定されていた場合には、アドレス補正回路1 4 0 0は、いつまでも一定範囲のアドレスの繰り返し出力を続ける。

【0 1 1 6】

従って、同じ検査用データを繰り返し使った検査を行う場合において、不揮発性メモリ1 4 1内には重複した検査用データを格納しておく必要がなくなる。

<実施の形態7>

以下、本発明の実施の形態7に係る不揮発性メモリ内蔵マイコンについて、図1 8及び図1 9を用いて説明する。

【0 1 1 7】

図1 8は、本発明の実施の形態7に係る不揮発性メモリ内蔵マイコンの構成図であり、図1 9は、マイコン部2 2 3 0の検査前に不揮発性メモリ1 4 1の内部

に格納されているべき検査用データの内容例を示す図である。なお、図 1 9 では検査用データのビット数を便宜上少な目に表現している。

図 1 8 に示すように実施の形態 7 に係る不揮発性メモリ内蔵マイコン 2 2 1 0 は、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 をわずかに変形したものである。図 1 8 中の構成要素のうち実施の形態 1（図 1）で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【0 1 1 8】

不揮発性メモリ内蔵マイコン 2 2 1 0 は、CPU 1 3 1、RAM 1 3 2、タイマ 1 3 3、シリアル 1 3 4、ポート 2 2 3 4、A/D 1 3 6 及び D/A 1 3 7 を有するマイコン部 2 2 3 0 と、不揮発性メモリ 1 4 1、入出力信号制御回路 1 4 2 及びメモリ I/F 1 4 3 を有するメモリ部 2 2 4 0 とを備える。

この実施の形態 7 に係る不揮発性メモリ内蔵マイコン 2 2 1 0 の特徴は、マイコン部の検査に用いる検査用データのビット配分が固定的でない点にある。即ち、この不揮発性メモリ内蔵マイコン 2 2 1 0 においては、マイコン部 2 2 3 0 の各回路に対する命令となる検査信号列と、各回路の検査結果と照合するための期待値である期待値信号列との各ビット数の配分を一律に固定化しない。

【0 1 1 9】

このため、不揮発性メモリ 1 4 1 は、アドレス信号 S 1 0 2 a で示されるアドレスの不揮発性メモリセルから、少なくとも検査信号列として採り得る最大数のビット値を検査信号 S 2 2 4 1 a として入出力信号制御回路 1 4 2 に送出し、かつ、少なくとも期待値信号列として採り得る最大数のビット値を期待値信号 S 2 2 4 1 b としてメモリ I/F 1 4 3 に送出する。ここでは、検査用データが 6 4 ビットであることとし、不揮発性メモリ 1 4 1 は、検査信号と期待値信号との組である検査用データを検査信号 S 2 2 4 1 a として 6 4 ビット分の信号線により入出力信号制御回路 1 4 2 に送出するとともに、その検査信号 S 2 2 4 1 a と同一内容の期待値信号 S 2 2 4 1 b を 6 4 ビット分の信号線によりメモリ I/F 1 4 3 に送出することとする。

【0 1 2 0】

入出力信号制御回路 1 4 2 は、不揮発性メモリ 1 4 1 から伝えられるマイコン

部 1 3 0 の各回路ブロックを駆動するための検査信号 S 2 2 4 1 a を、メモリテスター 1 0 0 から供給される入力信号基準電圧に基づいて L o w レベルの電圧値か H i g h レベルの電圧値かに整形して、その結果である検査信号 S 2 2 4 2 a をマイコン部 1 3 0 のポート 1 3 5 に伝達し、また、マイコン部 1 3 0 のポート 1 3 5 からの駆動結果を示す検査結果信号 S 1 3 5 a を、メモリテスター 1 0 0 から供給される比較基準電圧に基づいて L o w レベルの電圧値か H i g h レベルの電圧値かに整形して、その結果である検査結果信号 S 2 2 4 2 b をメモリ I / F 1 4 3 に伝達する機能を有する。

【 0 1 2 1 】

検査対象の回路別に検査信号と期待値信号とのビット配分は異なるところ（図 1 9 参照）、マイコン部 2 2 3 0 内のポート 2 2 3 5 は、このビット配分を示す情報を予め保持している。つまり、検査信号のビットパターンと、そのビット長を示す情報とを対応付けて保持している。これにより、ポート 2 2 3 5 は、検査信号 S 2 2 4 2 a を受けるとその内容である検査用データの値に応じて、予め内部に保持している回路別のビットパターンと照合することにより、どの回路の検査のための検査用データであるかを判別して、予め内部に保持している回路別の検査信号即ち命令のビット長を示す情報に基づいて、取得した検査信号 S 2 2 4 2 a が示す回路に対して、その検査用データ中の検査信号を与えて検査用の動作を行わせ、その結果をその回路から受け取って、検査用データのうち期待値信号の部分に上書きして得られる 6 4 ビットの検査結果信号 S 2 2 3 5 a を入出力信号制御回路 1 4 2 に送出する。

【 0 1 2 2 】

メモリ I / F 1 4 3 は、不揮発性メモリ 1 4 1 から 6 4 ビットの期待値信号 S 2 2 4 1 b を取得し、また、入出力信号制御回路 1 4 2 から 6 4 ビットの検査結果信号 S 2 2 4 2 b を取得し、これらをそれぞれ、期待値信号 S 2 2 4 3 d、検査結果信号 S 2 2 4 3 e としてメモリテスター 1 0 0 の論理比較回路 1 0 4 に出力し、論理比較回路 1 0 4 では受け取った信号を比較する。

【 0 1 2 3 】

このような構成により、

実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 は、検査用データ中の検査信号と期待値信号とのビット配分を固定化し、それぞれをハードウェア的に別の信号線を通じて伝達する方式を採用していたのに対し、不揮発性メモリ内蔵マイコン 2 2 1 0 では、検査用データ中の検査信号と期待値信号とのビット配分をソフトウェア的に制御するため、マイコン部中の回路別に、検査用データ内の検査信号と期待値信号とのビット配分を異ならせることができるようになる。

＜実施の形態 8＞

以下、本発明の実施の形態 8 に係る不揮発性メモリ内蔵マイコンについて、図 2 0 及び図 2 1 を用いて説明する。

【0 1 2 4】

図 2 0 は、本発明の実施の形態 8 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように、実施の形態 8 に係る不揮発性メモリ内蔵マイコン 3 5 1 0 は、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0（図 1 参照）を変形したものであり、CPU 1 3 1、RAM 1 3 2、タイマ 1 3 3、シリアル 1 3 4、ポート 3 5 3 5、A/D 3 5 3 6 及び D/A 3 5 3 7 を有するマイコン部 3 5 3 0 と、不揮発性メモリ 1 4 1、入出力信号制御回路 3 5 4 2 及びメモリ I/F 1 4 3 を有するメモリ部 3 5 4 0 とを備え、入出力信号制御回路 3 5 4 2 がポート 3 5 3 5 を介することなく A/D 3 5 3 6、D/A 3 5 3 7 等の各回路との間で直接データを授受する点に特徴がある。図 2 0 中の構成要素のうち実施の形態 1（図 1）で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【0 1 2 5】

なお、同図に示したのは一構成例であり、入出力信号制御回路 3 5 4 2 が、A/D や D/A 以外の回路と直接接続される構成としてもよい。

図 2 1 は、A/D 3 5 3 6 及び D/A 3 5 3 7 の構成図である。

同図に示すように、インターフェイス回路 3 5 3 6 b、3 5 3 7 b は、検査モード信号を受けて検査時であると判定すると、通常時において CPU 1 3 1 に接続されたバスへの接続を切断して、入出力信号制御回路 3 5 4 2 からの検査信号

を受けてそれぞれA/D回路3536a、D/A回路3537aに伝えて、また、A/D回路3536a、D/A回路3537aからの検査結果信号をそれぞれ検査結果信号S3536、S3537として入出力信号制御回路3542に伝える機能を有する。これにより、A/D3536及びD/A3537を直接的に検査することが可能になる。

【0126】

なお、実施の形態8における検査の前に不揮発性メモリ141に格納されるべき検査用データ（図3参照）の検査信号は、ビット数がm1であるA/D用の検査信号と、ビット数がm2であるD/A用の検査信号とから構成され、検査用データの期待値信号は、ビット数がn1であるA/D用の期待値信号と、ビット数がn2であるD/A用の期待値信号とにより構成される。

【0127】

入出力信号制御回路3542は、検査信号S141aを、メモリテスト100から供給される入力信号基準電圧に基づいてLowレベルの電圧値かHighレベルの電圧値かに整形して、その整形結果のm1ビット分の検査信号S3542aをA/D3536に伝達し、その整形結果のm2ビット分の検査信号S3542bをD/A3537に伝達し、また、A/D3536からの駆動結果を示すn1ビットの検査結果信号S3536と、D/A3537からの駆動結果を示すn2ビットの検査結果信号S3537とを合わせて、メモリテスト100から供給される比較基準電圧に基づいてLowレベルの電圧値かHighレベルの電圧値かに整形して、その結果である検査結果信号S142bをメモリI/F143に伝達する。

【0128】

従って、この不揮発性メモリ内蔵マイコン3510によれば、マイコン部3530の各回路に直接的に制御命令等である検査信号を与えて検査を行うことができるため、ポートを通じての制御のみでは検査できないような、詳細な検査を行うことが可能になり、故障検出率を上げることができるようになる。

なお、図21ではS3542aとS3536とがそれぞれm1ビット、n1ビットと示し、S3542bとS3537とがそれぞれm2、n2ビットと示した

が、例えば S 3 5 4 2 a と S 3 5 3 6 との組、及び S 3 5 4 2 b と S 3 5 3 7 との組は、各組において物理的に同じ信号線を共用することとしてもよい。

＜実施の形態 9＞

以下、本発明の実施の形態 9 に係る不揮発性メモリ内蔵マイコンについて、図 2 2 及び図 2 3 を用いて説明する。

【0129】

図 2 2 は、本発明の実施の形態 9 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように、実施の形態 9 に係る不揮発性メモリ内蔵マイコン 3 6 1 0 は、実施の形態 8 で示した不揮発性メモリ内蔵マイコン 1 1 0（図 1 参照）を若干変形したものであり、CPU 1 3 1、RAM 1 3 2、タイマ 3 6 3 3、シリアル 1 3 4、ポート 3 5 3 5、A/D 3 6 3 6 及び D/A 3 6 3 7 を有するマイコン部 3 6 3 0 と、不揮発性メモリ 1 4 1、入出力信号制御回路 3 6 4 2、メモリ I/F 1 4 3、検査対象特定回路 3 6 0 1 及びセレクト回路 3 6 0 2 を有するメモリ部 3 6 4 0 とを備えており、特に、入出力信号制御回路 3 6 4 2 が、マイコン部 3 6 3 0 の各回路についての検査用データのアドレス値に基づいて各瞬時ににおける検査対象の回路を特定する検査対象特定回路 3 6 0 1 及びセレクト回路 3 6 0 2 を利用して、1 つの回路に対してポート 3 5 3 5 を介することなく、直接データを授受する点に特徴がある。なお、図 2 2 中の構成要素のうち実施の形態 1、8（図 1、図 2 0）等で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【0130】

ここで、検査対象特定回路 3 6 0 1 は、不揮発性メモリ 1 4 1 内の検査用データが、マイコン部 3 6 3 0 内のどの回路についての検査用のものかを、アドレスと対応付けた情報を記憶しており、アドレス信号 S 1 0 2 a を受けてこれに基づいて検査対象回路を特定して現在の検査対象回路を識別するための信号をセレクト回路 3 6 0 2 に伝達する機能を有する。例えば、不揮発性メモリ 1 4 1 のアドレス 0 0 0 0 h ～ 1 7 F F h の位置に A/D についての検査用データを格納し、アドレス 1 8 0 0 h ～ 1 F F F h の位置にタイマについての検査用データを格納

して、マイコン部 3 6 3 0 の検査を行うとした場合においては、検査対象特定回路 3 6 0 1 は、0 0 0 0 h ~ 1 7 F F h と A / D とを対応付け、1 8 0 0 h ~ 1 F F F h とタイマとを対応付けた情報を予め保持しておき、アドレス信号 S 1 0 2 a が 0 0 0 0 h ~ 1 7 F F h のいずれかの値を指している時には、検査対象特定回路 3 6 0 1 は、検査対象として A / D を特定する等の動作を行うことになる。

【 0 1 3 1 】

セレクト回路 3 6 0 2 は、検査対象特定回路 3 6 0 1 からの検査対象回路を識別するための信号に基づいて、タイマ 3 6 3 3、A / D 3 6 3 6、D / A 3 6 3 7 等のマイコン部 3 6 3 0 の各回路のいずれかを選択して、選択した回路と入出力信号制御回路 3 6 4 2 とを接続する機能を有する。なお、選択されていない回路ブロックに対してはセレクト回路 3 6 0 2 から L o w 固定の信号を送る等として、その各回路ブロックが誤動作しないようにする。

【 0 1 3 2 】

図 2 3 は、A / D 3 6 3 6、D / A 3 6 3 7 及びタイマ 3 6 3 3 とセレクト回路 3 6 0 2 との接続関係を示した図である。

例えば、不揮発性メモリ 1 4 1 に記録される 1 つの検査用データが 4 6 ビットの検査信号と 1 8 ビットの期待値信号とで構成されているとした場合において、入出力信号制御回路 3 6 4 2 に入力される検査信号 S 1 4 1 a は 4 6 ビットとなり、入出力信号制御回路 3 6 4 2 は、セレクト回路 3 6 0 2 を介してタイマ、A / D 等のいずれかの検査対象として特定された回路ブロックに 4 6 ビットの信号を伝達し、また入出力信号制御回路 3 6 4 2 はセレクト回路 3 6 0 2 を介してタイマ、A / D 等のいずれかの回路ブロックから 1 8 ビットの信号を取得するとこれを 1 8 ビットの検査結果信号 S 1 4 2 b としてメモリ I / F 1 4 3 に伝達することになる。

【 0 1 3 3 】

この不揮発性メモリ内蔵マイコン 3 6 1 0 によれば、マイコン部 3 6 3 0 の各回路ブロックに選択的かつ直接的に制御命令等である検査信号を与えて検査を行うことができるため、ポートを通じての制御のみでは検査できないような、詳細

な検査を行うことが可能になり、故障検出率を上げることができるようになる。

<実施の形態 1 0>

以下、本発明の実施の形態 1 0 に係る不揮発性メモリ内蔵マイコンについて、図 2 4 を用いて説明する。

【0 1 3 4】

図 2 4 は、本発明の実施の形態 1 0 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように、実施の形態 1 0 に係る不揮発性メモリ内蔵マイコン 3 8 1 0 は、実施の形態 9 で示した不揮発性メモリ内蔵マイコン 3 6 1 0（図 2 2 参照）から検査対象特定回路 3 6 0 1 を削除して不揮発性メモリ 1 4 1 から検査対象の回路ブロックを特定するためのセレクト信号 S 3 8 0 0 をセレクト回路 3 6 0 2 に供給するように変形したものであり、マイコン部 3 6 3 0 と、不揮発性メモリ 1 4 1、入出力信号制御回路 3 6 4 2、メモリ I/F 1 4 3、セレクト回路 3 6 0 2 を有するメモリ部 3 8 4 0 とを備えている。なお、実施の形態 1 及び 9 で示した内容と同様の点については、ここでは説明を省略する。

【0 1 3 5】

この実施の形態 1 0 においては、運用方法として、マイコン部 3 6 3 0 の検査前に不揮発性メモリ 1 4 1 の内容として、1 アドレスにおいて検査信号と期待値信号とからなる検査用データの他にどの回路ブロックの検査かを示すセレクト信号を含ませたデータを記録しておく必要がある。

マイコン部 3 6 3 0 の検査時において、不揮発性メモリ 1 4 1 は、システムクロック S 1 3 1 e に同期して、あるアドレスの検査信号 S 1 4 1 a を入出力信号制御回路 3 6 4 2 に送出するとともに、そのアドレスのセレクト信号をセレクト信号 S 3 8 0 0 としてセレクト回路 3 6 0 2 に送出するので、セレクト回路 3 6 0 2 は、そのセレクト信号に応じた回路ブロックを選択して、入出力信号制御回路 3 6 4 2 と接続する。

【0 1 3 6】

従って、入出力信号制御回路 3 6 4 2 は、検査信号 S 1 4 1 a を、メモリテスター 1 0 0 から供給される入力信号基準電圧に基づいて L o w レベルの電圧値か

H i g hレベルの電圧値かに整形して、その整形結果をセレクト回路 3 6 0 2 を介して、セレクト信号で特定された検査対象の 1 つの回路ブロックに伝達し、また、その回路ブロックからの駆動結果を示す検査結果信号を取得して、メモリテスター 1 0 0 から供給される比較基準電圧に基づいて L o wレベルの電圧値か H i g hレベルの電圧値かに整形して、その結果である検査結果信号 S 1 4 2 b をメモリ I / F 1 4 3 に伝達する。

【 0 1 3 7 】

これにより、マイコン部 3 6 3 0 内の各回路ブロックを直接的に検査でき、かつ、不揮発性メモリ 1 4 1 の内容の書替えによってその検査用データの量や内容にある程度容易に変更できるようになる。

<実施の形態 1 1 >

以下、本発明の実施の形態 1 1 に係る不揮発性メモリ内蔵マイコンについて、図 2 5 及び図 2 6 を用いて説明する。

【 0 1 3 8 】

図 2 5 は、本発明の実施の形態 1 1 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように、実施の形態 1 1 に係る不揮発性メモリ内蔵マイコン 2 8 1 0 は、実施の形態 1 0 で示した不揮発性メモリ内蔵マイコン 3 6 1 0 (図 2 4 参照) を変形して不揮発性メモリ、入出力信号制御回路及びメモリ I / F を 2 系統有すようにしたものであり、C P U 1 3 1、R A M 1 3 2、タイマ 3 6 3 3、シリアル 1 3 4、ポート 1 3 5、A / D 3 6 3 6 及び D / A 3 6 3 7 を有するマイコン部 2 8 3 0 と、不揮発性メモリ 1 4 1、2 8 4 1、入出力信号制御回路 1 4 2、3 6 4 2、セレクト回路 3 6 0 2、メモリ I / F 1 4 3、2 8 4 3 及びアドレス制御回路 2 8 0 0 を有するメモリ部 2 8 4 0 とを備えている。なお、実施の形態 1、1 0 等で示した内容と同様の点については、ここでは説明を省略する。

【 0 1 3 9 】

2 つの不揮発性メモリにはそれぞれ内容の異なる検査用データが格納されている。例えば、不揮発性メモリ 1 4 1 には、マイコン部 2 8 3 0 に対するポート 1 3 5 を介しての基本的な検査を行うために、C P U の検査用データ、R A M の検

査用データ、タイマの検査用データ、シリアル線の検査用データ、A/Dの検査用データ及びD/Aの検査用データがこの順に格納されており、不揮発性メモリ2841には、各回路ブロックに対して直接的に詳細な検査を行うために、シリアル線の検査用データ、A/Dの検査用データ、D/Aの検査用データ、RAMの検査用データ及びタイマの検査用データが、この順に格納されている。

【0140】

不揮発性メモリ141へは、アドレス発生回路102からのアドレス信号S102aが直接入力され、不揮発性メモリ2841にはアドレス制御回路2800からのアドレス信号S2800が入力される。

アドレス制御回路2800は、カウンタを有しており、また、各不揮発性メモリに格納されている検査用データについて、メモリアドレスとどの回路ブロックについてのものであるかとを対応付けて示す情報を保持しており、アドレス発生回路102からのアドレス信号S102aを受けて、各不揮発性メモリにおいて現在どの回路ブロックについての検査用データが利用されているかを管理し、基本的にはアドレス発生回路102から0000hを示すアドレス信号S102aを受けたときからシステムクロックS131eに同期して、0000h、0001h、0002h、・・・と1ずつ増加したアドレス値を示すアドレス信号S2800を不揮発性メモリ2841に供給する。但し、不揮発性メモリ141においてアドレス信号S102aによって示される検査用データの検査対象となる回路ブロックと、自己のカウンタによって発生するアドレスで示される不揮発性メモリ2841における検査用データの検査対象となる回路ブロックとが同一となるとときには、自己のカウンタのカウントアップを停止するとともにアドレス信号S2800の発生を停止し、その後、アドレス信号S102aにより示される不揮発性メモリ141における検査用データの検査対象となる回路ブロックが別の回路ブロックとなったときに、自己のカウンタのカウントアップを再開するとともにアドレス信号S2800の発生を再開する。

【0141】

従って、基本的に不揮発性メモリ141と不揮発性メモリ2841との両方から出力される検査用データによって並列的に検査が行われることになる。なお、

メモリ部 2 8 4 0 において、各不揮発性メモリから出力される信号の処理系統は別個独立となっており、例えば各処理系統の信号線は独立している。

不揮発性メモリ 1 4 1 から出力される検査用データの一部である検査信号に基づき入出力信号制御回路 1 4 2 はポート 1 3 5 を介してマイコン部 2 8 3 0 の各回路ブロックを駆動してその結果値を取得しメモリ I / F 1 4 3 に伝達し、メモリ I / F 1 4 3 ではその結果値と不揮発性メモリ 1 4 1 から出力される検査用データの一部である期待値信号とを論理比較回路 1 0 4 に伝達し、論理比較回路 1 0 4 で両信号の比較が行われ、これと並行して不揮発性メモリ 2 8 4 1 から出力される検査用データの一部である検査信号に基づき入出力信号制御回路 3 6 4 2 はセレクト回路 3 6 0 2 を介してマイコン部 2 8 3 0 の各回路ブロックを直接駆動してその結果値を取得しメモリ I / F 2 8 4 3 に伝達し、メモリ I / F 2 8 4 3 ではその結果値と不揮発性メモリ 2 8 4 1 から出力される検査用データの一部である期待値信号とを論理比較回路 1 0 4 に伝達し、論理比較回路 1 0 4 で両信号の比較が行われる。なお、ここでは論理比較回路 1 0 4 は 2 組の入力信号を別個独立に比較する機能を有する構成とする。

【 0 1 4 2 】

図 2 6 は、各不揮発性メモリ内の検査用データに基づく検査対象の遷移とアドレス制御回路によるアドレスのカウントアップの停止及び再開との関係を時系列に示すタイミング図である。

同図に示すように、両方の不揮発性メモリ内の検査用データの検査対象が異なる限り、アドレス制御回路 2 8 0 0 は、システムクロックに同期してアドレスを 1 増加する動作を続けるが、例えば不揮発性メモリ 1 4 1 の検査用データに基づいて RAM が検査中となっているときには、不揮発性メモリ 2 8 4 1 の検査用データに基づく RAM の検査の開始を待たせるために、アドレスを 1 増加して不揮発性メモリ 2 8 4 1 に供給する動作を一時停止し、不揮発性メモリ 1 4 1 の検査用データに基づいて RAM の検査が終了した時に、不揮発性メモリ 2 8 4 1 の検査用データに基づく RAM の検査を再開させるために、アドレスを 1 増加して不揮発性メモリ 2 8 4 1 に供給する動作を再開する。

< 実施の形態 1 2 >

以下、本発明の実施の形態 1 2 に係る不揮発性メモリ内蔵マイコンについて、図 2 7 ～図 3 1 を用いて説明する。

【0 1 4 3】

図 2 7 は、本発明の実施の形態 1 2 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態 1 2 に係る不揮発性メモリ内蔵マイコン 1 9 1 0 は、CPU 1 3 1、RAM 1 3 2、タイマ 1 3 3、シリアル 1 3 4、ポート 1 3 5、A/D 1 3 6 及び D/A 1 3 7 を有するマイコン部 1 9 3 0 と、不揮発性メモリ 1 9 4 1、入出力信号制御回路 1 4 2、メモリ I/F 1 4 3 及びマルチプレクサ (MPX) 1 9 4 5 を有するメモリ部 1 9 4 0 とを備え、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 (図 1 参照) と比べた場合に特に異なる点は、不揮発性メモリ 1 9 4 1 が発したクロック信号 S 1 9 4 1 c を MPX 1 9 4 5 で選択して CPU 1 3 1 に供給することができるように構成している点である。

【0 1 4 4】

なお、図 2 7 には、不揮発性メモリ内蔵マイコン 1 9 1 0 を検査するための外部装置であるメモリテスター 1 9 0 0 をも示している。このメモリテスター 1 9 0 0 は、実施の形態 1 で示したメモリテスター 1 0 0 に、不揮発性メモリ 1 9 4 1 ヘリセット信号を伝達するためのリセット信号発生器 1 9 0 7 を付したものである。

【0 1 4 5】

また、図 2 7 では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

図 2 7 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【0 1 4 6】

図 2 8 は、不揮発性メモリ 1 9 4 1 の構成図であり、図 2 9 は、不揮発性メモ

リ 1 9 4 1 内の発振回路 (OSC) 2 0 0 8 の構成図である。

図 2 8 に示すように、不揮発性メモリ 1 9 4 1 は、概略的には一般的な不揮発性メモリと同様に、電源回路 2 0 0 1、ローデコーダ 2 0 0 2、不揮発性メモリセル 2 0 0 3、カラムデコーダ 2 0 0 4 及びセンスアンプ 2 0 0 5 を備える。ここで、電源回路 2 0 0 1 は、概略的には一般的な不揮発性メモリ用の電源回路と同様に OSC 2 0 0 8、昇圧回路 2 0 0 9 及び電圧調整回路 2 0 0 7 を備える。

【 0 1 4 7 】

ここで OSC 2 0 0 8 の特徴部分は、図 2 9 に示すような論理回路構成であり、これにより OSC 2 0 0 8 は、不揮発性メモリ 1 9 4 1 の外部からのリセット信号が High レベル (H) である限り、発振によりパルスを発生しクロック信号 S 1 9 4 1 c として出力する機能を有する。このクロック信号 S 1 9 4 1 c は、水晶発振子 1 2 0 から供給されるクロック信号 S 1 2 0 a より遅い周期の信号である。

【 0 1 4 8 】

また、マルチプレクサ (MPX) 1 9 4 5 は、SELP 信号が 1 であれば不揮発性メモリ 1 9 4 1 から発されるクロック信号 S 1 9 4 1 c を選択して CPU 1 3 1 に供給し、SELP 信号が 0 であれば水晶発振子 1 2 0 から発されるクロック信号 S 1 2 0 a を選択して CPU 1 3 1 に供給する機能を有する。

図 3 0 は、マイコン部 1 9 3 0 の検査前に不揮発性メモリ 1 9 4 1 に格納されるデータの構成例を示す図である。

【 0 1 4 9 】

図 3 0 に示すように、不揮発性メモリ 1 9 4 1 の内容は、各メモリアドレスにつき、クロック信号 S 1 9 4 1 c を MPX 1 9 4 5 に選択させるか否かを指定する SELP 信号の値を定義するための 1 ビットの SELP 値と、他のビットで構成される検査用データとからなる。なお、検査用データの意味については実施の形態 1、4 等で示したものと同一である。

【 0 1 5 0 】

図 3 0 の内容例では、CPU 本体の検査は通常速度で行わせるために SELP を 0 とし、また、D/A の検査は、寄生容量等の影響によりアナログ電圧の出力

、比較に時間を要するので、検査を低速で行わせて検査用データのステップ数を抑えるべく S E L P を 1 とし、また、タイマの検査は通常速度で行わせるために S E L P を 0 としている。

【 0 1 5 1 】

なお、不揮発性メモリ 1 9 4 1 にアドレス発生回路 1 0 2 からアドレス信号 S 1 0 2 a が与えられると、そのアドレスにおける S E L P 値は不揮発性メモリ 1 9 4 1 から S E L P 信号として出力され、そのアドレスにおける検査用データのうち検査信号は検査信号 S 1 9 4 1 a として出力され、そのアドレスにおける検査用データのうち期待値信号は期待値信号 S 1 9 4 1 b として出力される。

【 0 1 5 2 】

図 3 1 は、水晶発振子から出力されるクロック信号と、不揮発性メモリから出力されるクロック信号とを示した図である。

同図に示すように、不揮発性メモリから出力されるクロック信号は低速である。

以下、検査における不揮発性メモリ 1 9 4 1、MPX 1 9 4 5 等の動作を説明する。

【 0 1 5 3 】

メモリテスター 1 9 0 0 により、マイコン部 1 9 3 0 の検査開始前に、図 3 0 に示すようなデータを不揮発性メモリ 1 9 4 1 に書き込んでおき、検査開始時に、リセット信号発生器 1 9 0 7 により信号 S 1 9 0 7 a を H i g h レベル (H) に設定し、アドレス発生回路 1 0 2 によりアドレス信号 S 1 0 2 a を 0 0 0 0 h に設定する。

【 0 1 5 4 】

このとき、メモリアドレス「0 0 0 0 h」における S E L P 値「0」に基づき不揮発性メモリ 1 9 4 1 から出力される S E L P 信号を受け、MPX 1 9 4 5 は、水晶発振子 1 2 0 より発されるクロック信号 S 1 2 0 a を選択して、クロック信号 S 1 9 4 5 a としてマイコン部 1 9 3 0 に入力する。

これにより、水晶発振子 1 2 0 に基づく通常速度で、実施の形態 1 等で示したように検査が行われる。

【0155】

この後、アドレス発生回路102により逐次1増加したアドレスを発生することにより検査を続行し、その発生するアドレスがD/Aの検査用データが格納されているメモリアドレスに達した際に、SELP値「1」に基づき不揮発性メモリ1941からは1を示すSELP信号が送出される。これを受けて、MPX1945は、不揮発性メモリ1941内のOSC2008により発されるクロック信号S1941cつまり水晶発振子120によるクロック信号S120aよりクロック速度の低いクロック信号S1941cを選択して、クロック信号S1945aとしてマイコン部1930に入力する。

【0156】

これにより、低速で、D/A137についての検査が行われることになる。なお、アドレス発生回路102は、予め定められた検査スケジュールに基づいて、低速で検査を行わせるときには、その速度に合わせて、アドレス信号S102aの内容のインクリメントを行うように制御するものとする。

この後、アドレス発生回路102が発生するアドレスがタイマの検査用データが格納されているメモリアドレスに達した際に、SELP値「0」に基づき不揮発性メモリ1941からは0を示すSELP信号が送出される。これを受けて、MPX1945が、水晶発振子120から発されるクロック信号S120aを選択してクロック信号S1945aとしてマイコン部1930に入力する。これにより、通常速度でタイマ133が検査される。

<実施の形態13>

以下、本発明の実施の形態13に係る不揮発性メモリ内蔵マイコンについて、図32及び図33を用いて説明する。

【0157】

図32は、本発明の実施の形態13に係る不揮発性メモリ内蔵マイコンの構成図である。

実施の形態13に係る不揮発性メモリ内蔵マイコン2910は、実施の形態12で示した不揮発性メモリ内蔵マイコン1910を若干変形したものであり、同図に示すように、マイコン部1930と、不揮発性メモリ2941、入出力信号

制御回路 1 4 2、メモリ I / F 1 4 3、MPX 1 9 4 5 及びフリップフロップ 2 9 4 4 を有するメモリ部 2 9 4 0 とを備える。なお、図 3 2 中の構成要素のうち実施の形態 1 2（図 2 7）で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【 0 1 5 8 】

フリップフロップ 2 9 4 4 は、リセット信号発生器 1 9 0 7 からの信号 S 1 9 0 7 a が H i g h レベルにされている間において、不揮発性メモリ 2 9 4 1 から特定ビット桁の 1 ビットの信号が送出されそれが 1 を示すと、その 1 を保持して MPX 1 9 4 5 に継続的に供給する。

図 3 3 は、実施の形態 1 3 において不揮発性メモリ 2 9 4 1 に格納される検査用データの例を示す図である。

【 0 1 5 9 】

アドレス「0 0 0 0 h」の内容の最下位ビットを 1 としており、マイコン部の検査開始時に、アドレス発生回路 1 0 2 から 0 0 0 0 h を示すアドレス信号 S 1 0 2 a が与えられると、この最下位ビットの 1 がフリップフロップ 2 9 4 4 に伝えられ、リセット信号発生器 1 9 0 7 から H i g h レベルの信号 S 1 9 0 7 a がフリップフロップ 2 9 4 4 に供給され始める。これにより、マイコン部の検査終了時にリセット信号発生器 1 9 0 7 から L o w レベルの信号 S 1 9 0 7 a がフリップフロップ 2 9 4 4 に供給されるまでの間、フリップフロップ 2 9 4 4 は、1 を示す信号を MPX 1 9 4 5 に継続的に与えることになり、水晶発振子 1 2 0 に依らず、クロック信号 S 2 4 4 1 c に基づいてマイコン部 1 9 3 0 の CPU 1 3 1、A / D 1 3 6 及びタイマ 1 3 3 の検査を順に行うことができるようになる。

< 実施の形態 1 4 >

以下、本発明の実施の形態 1 4 に係る不揮発性メモリ内蔵マイコンについて、図 3 4 ～図 3 7 を用いて説明する。

【 0 1 6 0 】

図 3 4 は、本発明の実施の形態 1 4 に係る不揮発性メモリ内蔵マイコンの構成図である。

実施の形態 1 4 に係る不揮発性メモリ内蔵マイコン 1 7 1 0 は、実施の形態 1

2で示した不揮発性メモリ内蔵マイコン1910を若干変形したものであり、同図に示すように、マイコン部1930と、不揮発性メモリ1741、入出力信号制御回路142、メモリI/F143及びMPX1945を有するメモリ部1740とを備える。この不揮発性メモリ内蔵マイコン1710の特徴は、不揮発性メモリ1741に格納したデータによって検査時にマイコン部1930に供給するクロック信号の周波数を4段階に変化させることができる点にある。なお、図34中の構成要素のうち実施の形態12（図27）で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【0161】

図35は、不揮発性メモリ1741の構成図であり、図36は、不揮発性メモリ1741内の発振回路（OSC）2028の構成図である。

図35に示すように、不揮発性メモリ1741は、概略的には一般的な不揮発性メモリと同様に、電源回路2010、ローデコーダ2002、不揮発性メモリセル2003、カラムデコーダ2004及びセンスアンプ2005を備える。ここで、電源回路2010は、概略的には一般的な不揮発性メモリ用の電源回路と同様にOSC2028、昇圧回路2009及び電圧調整回路2007を備える。

【0162】

ここでOSC2028の特徴部分は、図36に示すような論理回路構成であり、これによりOSC2028は、不揮発性メモリ1741の外部からのリセット信号がHighレベル（H）である間において、不揮発性メモリセル2003内の各アドレスにおけるデータ中の2ビット目からの2ビットであるTR値を反映したTR信号に応じて、遅延量が異なるパルスを発生しクロック信号S1741cとして出力する機能を有する。

【0163】

TR信号の値が00bであれば、ゲート2041の出力がゲート2036により選択され、遅延素子2032によるゲート遅延量で定まる発振周期をもつパルスがクロック信号S1741cとなる。

TR信号の値が01bであれば、ゲート2042の出力がゲート2036により選択され、遅延素子2032、2033によるゲート遅延量で定まる発振周期

をもつパルスがクロック信号 S 1 7 4 1 c となる。

【 0 1 6 4 】

T R 信号の値が 1 0 b であれば、ゲート 2 0 4 3 の出力がゲート 2 0 3 6 により選択され、遅延素子 2 0 3 2 ~ 2 0 3 4 によるゲート遅延量で定まる発振周期をもつパルスがクロック信号 S 1 7 4 1 c となる。

また、T R 信号の値が 1 1 b であれば、ゲート 2 0 4 2 の出力がゲート 2 0 3 6 により選択され、遅延素子 2 0 3 2 ~ 2 0 3 5 によるゲート遅延量で定まる発振周期をもつパルスがクロック信号 S 1 7 4 1 c となる。

【 0 1 6 5 】

図 3 7 は、T R 信号の値と、不揮発性メモリから出力されるクロック信号とを対応付けて示した図である。

同図に示すように、T R 信号に応じて、最小周期のクロック信号、その 2 倍周期、4 倍周期、8 倍周期のクロック信号のうちいずれかが不揮発性メモリ 1 7 4 1 からクロック信号 S 1 7 4 1 c とて出力される。

【 0 1 6 6 】

図 3 8 は、マイコン部 1 9 3 0 の検査前に不揮発性メモリ 1 7 4 1 に格納されるデータの構成例を示す図である。

図 3 8 に示すように、不揮発性メモリ 1 7 4 1 の内容は、各メモリアドレスにつき、クロック信号 S 1 7 4 1 c を M P X 1 9 4 5 に選択させるか否かを指定する S E L P 信号の値を定義するための 1 ビットの S E L P 値と、T R 信号の値を定義するための 2 ビットの T R 値と、他のビットで構成される検査用データとからなる。なお、検査用データの意味については実施の形態 1、4 等で示したものと同一である。

【 0 1 6 7 】

図 3 8 の内容例は、C P U 本体の検査用データに対応させて T R 値を 1 1 b とし、続いて C P U 本体の検査用データに対応させて T R 値を 0 1 b とし、続いて D / A の検査用データに対応させて T R 値を 1 1 b とし、続いてタイマの検査用データに対応させて T R 値を 0 1 b としている。

この内容例に示すデータが不揮発性メモリ 1 7 4 1 に記憶されている状態にお

いて、マイコン部 1 9 3 0 を検査するためにリセット信号発生器 1 9 0 7 から H i g h レベルの信号 S 1 9 0 7 a を発生しアドレス発生回路 1 0 2 から 0 0 0 0 h を初期値として逐次 1 増分したアドレス信号 S 1 0 2 a を発生すると、逐次不揮発性メモリ 1 7 4 1 から S E L P 信号、T R 信号、検査信号 S 1 7 4 1 a 及び期待値信号 S 1 7 4 1 b が出力される。なお、検査信号、期待値信号は、1 アドレスにおける検査用データ中の予め定められたビット数毎のデータをそれぞれ反映したものである。

【 0 1 6 8 】

従って、1 である S E L P 値に基づき 1 を示す S E L P 信号が M P X 1 9 4 5 に送出され、M P X 1 9 4 5 はこれを受けて水晶発振子 1 2 0 からのクロック信号 S 1 2 0 a ではなく不揮発性メモリ 1 7 4 1 からのクロック信号 S 1 7 4 1 c を選択して C P U 1 3 1 に供給することになる。

また、各メモリアドレスにおける T R 値を反映して T R 信号が O S C 2 0 2 8 に伝えられることになるため、まず、C P U 本体の検査が低速で行われ、続いて C P U 本体の検査がその 2 倍の高速で行われ、続いて D / A の検査が低速で行われ、続いてタイマの検査が高速で行われることになる。

【 0 1 6 9 】

従って、この不揮発性メモリ内蔵マイコン 1 7 1 0 によれば、マイコン部の各回路ブロックを様々なクロック速度において検査することが容易にできるようになる。

< 実施の形態 1 5 >

以下、本発明の実施の形態 1 5 に係る不揮発性メモリ内蔵マイコンについて、図 3 9 ～図 4 2 を用いて説明する。

【 0 1 7 0 】

図 3 9 は、本発明の実施の形態 1 5 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態 1 5 に係る不揮発性メモリ内蔵マイコン 1 1 1 0 は、C P U 1 3 1、R A M 1 3 2、タイマ 1 3 3、シリアル 1 3 4、ポート 1 3 5、A / D 1 3 6 及び D / A 1 3 7 を有するマイコン部 1 3 0 と、不揮発性メモ

リ 1 1 4 1、入出力信号制御回路 1 4 2、メモリ I / F 1 4 3 及びプログラマブル遅延回路 1 1 4 4 を有するメモリ部 1 1 4 0 とを備え、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 (図 1 参照) と比べた場合に特に異なる点は、メモリ I / F 1 4 3 が発した検査結果信号 S 1 4 3 e をプログラマブル遅延回路 1 1 4 4 で遅延させて得られた遅延検査結果信号 S 1 1 4 4 が、メモリテスト 1 0 0 における論理比較回路 1 0 4 に供給されるように構成されている点である。

【 0 1 7 1 】

また、図 3 9 では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

図 3 9 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【 0 1 7 2 】

図 4 0 は、プログラマブル遅延回路 1 1 4 4 の構成図である。この構成により、プログラマブル遅延回路 1 1 4 4 は、検査結果信号 S 1 4 3 e に対して、不揮発性メモリ 1 1 4 1 のセル内の各アドレスにおけるデータ中の先頭 2 ビットである DL 値を反映した DL 信号に応じた異なる遅延を与えることにより、遅延検査結果信号 S 1 1 4 4 を生成する機能を有する。

【 0 1 7 3 】

DL 信号の値が 0 0 b であれば、ゲート 1 2 0 6 の出力がゲート 1 2 0 5 により選択され、遅延素子 1 2 0 1 による遅延量を与えられた遅延検査結果信号 S 1 1 4 4 が生成される。

DL 信号の値が 0 1 b であれば、ゲート 1 2 0 7 の出力がゲート 1 2 0 5 により選択され、遅延素子 1 2 0 1、1 2 0 2 による遅延量を与えられた遅延検査結果信号 S 1 1 4 4 が生成される。

【 0 1 7 4 】

DL 信号の値が 1 0 b であれば、ゲート 1 2 0 8 の出力がゲート 1 2 0 5 によ

り選択され、遅延素子 1 2 0 1 ~ 1 2 0 3 による遅延量が与えられた遅延検査結果信号 S 1 1 4 4 が生成される。

D L 信号の値が 1 1 b であれば、ゲート 1 2 0 9 の出力がゲート 1 2 0 5 により選択され、遅延素子 1 2 0 1 ~ 1 2 0 4 による遅延量が与えられた遅延検査結果信号 S 1 1 4 4 が生成される。

【 0 1 7 5 】

図 4 1 は、マイコン部 1 3 0 の検査前に不揮発性メモリ 1 1 4 1 に格納されるデータの構成例を示す図である。

図 4 1 に示すように、不揮発性メモリ 1 1 4 1 のセルに格納される内容は、各メモリアドレスにつき、D L 信号の値を定義するための 2 ビットの D L 値と、他のビットで構成される検査用データとからなる。なお、検査用データの意味については実施の形態 1、4 等で示したものと同一である。

【 0 1 7 6 】

図 4 1 の内容例は、C P U 本体の検査用データに対応させて D L 値を 1 1 b とし、続いて D / A の検査用データに対応させて D L 値を 0 0 b としている。

この内容例に示すデータが不揮発性メモリ 1 1 4 1 に記憶されている状態において、マイコン部 1 3 0 を検査するためにアドレス発生回路 1 0 2 から 0 0 0 0 h を初期値として逐次 1 増分したアドレス信号 S 1 0 2 a を発生すると、逐次不揮発性メモリ 1 1 4 1 から D L 信号、検査信号 S 1 4 1 a 及び期待値信号 S 1 4 1 b が出力される。なお、検査信号、期待値信号は、1 アドレスにおける検査用データ中の予め定められたビット数毎のデータをそれぞれ反映したものである。

【 0 1 7 7 】

従って、各メモリアドレスにおける D L 値を反映した D L 信号がプログラマブル遅延回路 1 1 4 4 に伝えられることになるため、まず、遅延素子 1 2 0 1 による第 1 の遅延量が与えられた遅延検査結果信号 S 1 1 4 4 に基づいて C P U 本体の検査が行われ、続いて遅延素子 1 2 0 1 ~ 1 2 0 4 による第 2 の遅延量が与えられた遅延検査結果信号 S 1 1 4 4 に基づいて D / A の検査が行われる。

【 0 1 7 8 】

以下、上述の C P U 本体及び D / A の検査に関与する主な信号のタイミングに

ついて説明する。

図 4 2 は、これらの信号の生起関係を示すタイミングチャートである。実施の形態 1 で示したタイミングチャート（図 5 参照）と比べた場合に特に異なる点は、期待値信号 S 1 4 1 b が対応する検査信号 S 1 4 1 a よりも 1 クロックサイクル遅延して出力される点、遅延検査結果信号 S 1 1 4 4 と期待値信号 S 1 4 3 d との比較に基づいて良否判定が行われる点にある。

【 0 1 7 9 】

このような期待値信号 S 1 4 1 b の遅延出力は、実施の形態 1 で述べたように、期待値信号と、当該期待値信号に対応する検査信号の次の検査信号とを組にした検査用データを用いることにより実現される。

以下に説明するように、遅延検査結果信号 S 1 1 4 4 のタイミングと、この遅延出力される期待値信号 S 1 4 3 d のタイミングとが、完全に一致するよう制御される。

【 0 1 8 0 】

同図中、A 期間において、CPU 本体は検査信号 S 1 4 2 a に対して遅延時間 t_a の後に検査結果信号 S 1 3 5 a を返し、検査結果信号 S 1 4 3 e としてプログラマブル遅延回路 1 1 4 4 へ到達する。プログラマブル遅延回路 1 1 4 4 は、検査結果信号 S 1 4 3 e に対し、A 期間における DL 値 1 1 を反映した遅延時間 t_{11} を与えることにより遅延検査結果信号 S 1 1 4 4 を生成する。当該遅延時間 t_{11} は、前記遅延時間 t_a が検査規格に基づく所定の遅延時間である場合に、遅延検査結果信号 S 1 1 4 4 が期待値信号 S 1 4 3 d に完全に同期するように与えられる。論理比較回路 1 0 4 は、遅延検査結果信号 S 1 1 4 4 と期待値信号 S 1 4 3 d とをシステムクロック S 1 3 1 e の立下りエッジにおいて比較することにより、良品と判断する。

【 0 1 8 1 】

また、B 期間において、D/A は検査信号 S 1 4 2 a に対して遅延時間 t_b の後に検査結果信号 S 1 3 5 a を返し、検査結果信号 S 1 4 3 e としてプログラマブル遅延回路 1 1 4 4 へ到達する。プログラマブル遅延回路 1 1 4 4 は検査結果信号 S 1 4 3 e に対し、B 期間における DL 値 0 0 を反映した遅延時間 t_{00} を

与えることにより遅延検査結果信号 S 1 1 4 4 を生成する。当該遅延時間 t 0 0 は、前記遅延時間 t b が検査規格に基づく所定の遅延時間である場合に、遅延検査結果信号 S 1 1 4 4 が期待値信号 S 1 4 3 d に完全に同期するように与えられる。論理比較回路 1 0 4 は、検査結果信号 S 1 4 3 e と遅延検査結果信号 S 1 1 4 4 とをシステムクロック S 1 3 1 e の立下りエッジにおいて比較することにより、良品と判断する。

【 0 1 8 2 】

なお、システムクロック S 1 3 1 e の立下りエッジ以外のタイミングにおいて良否判定を行ってもよい。例えば、期待値信号 S 1 4 3 d の切り替わりの直前又はその直後に良否判定を行うことも考えられる。

従って、この不揮発性メモリ内蔵マイコン 1 1 1 0 によれば、マイコン部の各回路ブロックから返される検査結果信号に、当該回路ブロックに応じた遅延を与えることにより得られる遅延検査結果信号を、1クロックサイクル遅延出力される期待値信号に完全に同期させることができるので、検査対象における1クロックサイクル未満のタイミングの微小なばらつきをも検出できるようになる。

<実施の形態 1 6>

以下、本発明の実施の形態 1 6 に係る不揮発性メモリ内蔵マイコンについて、図 4 3 ～図 4 6 を用いて説明する。

【 0 1 8 3 】

図 4 3 は、本発明の実施の形態 1 6 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態 1 6 に係る不揮発性メモリ内蔵マイコン 2 1 1 0 は、CPU 1 3 1、RAM 1 3 2、タイマ 1 3 3、シリアル 1 3 4、ポート 1 3 5、A/D 1 3 6 及び D/A 1 3 7 を有するマイコン部 1 3 0 と、不揮発性メモリ 2 1 4 1、入出力信号制御回路 1 4 2、メモリ I/F 1 4 3 及びプログラマブル遅延回路 2 1 4 4 を有するメモリ部 2 1 4 0 とを備え、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 (図 1 参照) と比べた場合に特に異なる点は、入出力信号制御回路 1 4 2 が発した検査信号 S 1 4 2 a の一部をプログラマブル遅延回路 2 1 4 4 で遅延させて得られた遅延検査信号 S 2 1 4 4 と、遅延を与

えられなかった検査信号 S 1 4 2 a とが、ポート 1 3 5 に供給されるように構成されている点である。

【 0 1 8 4 】

また、図 4 3 では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

図 4 3 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【 0 1 8 5 】

図 4 4 は、プログラマブル遅延回路 2 1 4 4 の構成図である。この構成により、プログラマブル遅延回路 2 1 4 4 は、検査信号 S 1 4 2 a に対して、不揮発性メモリ 1 1 4 1 のセル内の各アドレスにおけるデータ中の先頭 2 ビットである D L 値を反映した D L 信号に応じた異なる遅延を与えることにより、遅延検査信号 S 2 1 4 4 を生成する機能を有する。

【 0 1 8 6 】

プログラマブル遅延回路 2 1 4 4 は、前述したプログラマブル遅延回路 1 1 4 4 と略同等構成を有し、初段にあたる遅延素子が省かれている点においてのみ異なる。

図 4 5 は、マイコン部 1 3 0 の検査前に不揮発性メモリ 2 1 4 1 に格納されるデータの構成例を示す図である。

【 0 1 8 7 】

図 4 5 に示すように、不揮発性メモリ 2 1 4 1 のセルに格納される内容は、各メモリアドレスにつき、D L 信号の値を定義するための 2 ビットの D L 値と、他のビットで構成される検査用データとからなる。なお、検査用データの意味については実施の形態 1、4 等で示したものと同一である。

図 4 1 の内容例は、シリアル各検査用データに対応させて D L 値を 0 0 b、0 1 b、1 0 b、及び 1 1 b としている。

【 0 1 8 8 】

この内容例に示すデータが不揮発性メモリ 2 1 4 1 に記憶されている状態において、マイコン部 1 3 0 を検査するためにアドレス発生回路 1 0 2 から 0 0 0 0 h を初期値として逐次 1 増分したアドレス信号 S 1 0 2 a を発生すると、逐次不揮発性メモリ 1 1 4 1 から DL 信号、検査信号 S 1 4 1 a 及び期待値信号 S 1 4 1 b が出力される。なお、検査信号、期待値信号は、1 アドレスにおける検査用データ中の予め定められたビット数毎のデータをそれぞれ反映したものである。

【 0 1 8 9 】

従って、各メモリアドレスにおける DL 値を反映した DL 信号がプログラマブル遅延回路 2 1 4 4 に伝えられることになるため、まず、ゲート 2 3 0 5 のみによる第 1 の遅延量が与えられた遅延検査信号 S 2 1 4 4 に基づいてシリアル検査が行われる。続いて、遅延素子 2 3 0 2 による第 2 の遅延量、遅延素子 2 3 0 2 及び 2 3 0 3 による第 3 の遅延量、並びに遅延素子 2 3 0 2 ~ 2 3 0 4 による第 4 の遅延量がそれぞれ与えられた遅延検査信号 S 2 1 4 4 に基づいて、シリアルの検査が順次行われる。

【 0 1 9 0 】

以下、上述のシリアル検査に関与する主な信号のタイミングについて説明する。

図 4 6 は、これらの信号の生起関係を示すタイミングチャートである。実施の形態 1 で示したタイミングチャート（図 5 参照）と比べた場合に特に異なる点は、遅延検査信号 S 2 1 4 4 に対して返された検査結果信号 S 1 3 5 a に基づいて良否判定が行われる点にある。

【 0 1 9 1 】

最初に、アドレス信号 S 1 0 2 a の値 0 0 0 0 h に対応する検査信号 S 1 4 2 a は、プログラマブル遅延回路 2 1 4 4 により、DL 値 0 0 を反映した遅延時間 t 0 0 を与えられ遅延検査信号 S 2 1 4 4 となる。この遅延検査信号 S 2 1 4 4 に対して検査結果信号 S 1 3 5 a が返され、検査結果信号 S 1 4 3 e として論理比較回路 1 0 4 へ到達する。この検査結果信号 S 1 4 3 e は良否判定タイミングであるシステムクロック S 1 3 1 e の立下りエッジに間に合うので、良品と判断される。

【 0 1 9 2 】

次に、遅延時間 t_{01} を与えられた遅延検査信号 S_{2144} により良否判定が行われる。この場合の検査結果信号 S_{143e} は良否判定タイミングに間に合うので、良品と判断される。

続いて、遅延時間 t_{10} 、 t_{11} を与えられた遅延検査信号 S_{2144} により順次良否判定が行われる。これらの場合の検査結果信号 S_{143e} は良否判定タイミングに間に合わないので、不良品と判断される。

【 0 1 9 3 】

従って、この不揮発性メモリ内蔵マイコン 2110 によれば、検査信号に対して異なる複数種類の遅延を与えることによってそれぞれ得られる遅延検査信号に基づいて、マイコン部の各回路ブロック良否判定できるので、検査信号（実使用における入力信号）に許容される遅延時間の上限を評価することが容易にできるようになる。

【 0 1 9 4 】

遅延のない本来の検査信号と、遅延検査信号とのタイミング差（即ち、プログラマブル遅延回路 2144 が与える遅延量）をスキューとも言う。例えば、シリアル 134 が通信用非同期処理をになう場合の評価に際して、DL 値に応じて様々なスキューを与えた遅延検査信号を生成し、それを実使用における非同期入力信号として検査結果の良否判定を行うことにより、スキューの最大許容量を容易に識別することが可能となる。

<実施の形態 17>

以下、本発明の実施の形態 17 に係る不揮発性メモリ内蔵マイコンについて、図 47～図 48 を用いて説明する。

【 0 1 9 5 】

図 47 は、本発明の実施の形態 17 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態 17 に係る不揮発性メモリ内蔵マイコン 2610 は、CPU 131、RAM 132、タイマ 133、シリアル 134、ポート 135、A/D 136、D/A 2637、及びスイッチ 2638 を有するマイコン部

2 6 3 0 と、不揮発性メモリ 1 4 1、入出力信号制御回路 1 4 2、及びメモリ I / F 1 4 3 を有するメモリ部 1 4 0 とを備え、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0（図 1 参照）と比べた場合に特に異なる点は、D / A 2 6 3 7 の出力 S 2 6 3 7、又は通常の電源の何れかがスイッチ 2 6 3 8 を介してマイコン部 2 6 3 0 の各回路ブロックへ動作電源 S 2 6 3 8 として供給されるように構成されている点である。

【 0 1 9 6 】

ここで、D / A 2 6 3 7 は 2 ビットの T R 信号に応じて 4 通りの電圧を発生させ、スイッチ 2 6 3 8 は 1 ビットの S E L P 信号に応じて D / A 2 6 3 7 の出力 S 2 6 3 7、又は通常の電源の何れかを前記各回路ブロックへ供給する。T R 信号及び S E L P 信号は検査信号 S 1 4 2 a の一部としてポート 1 3 5 へ到達し、それぞれ D / A 2 6 3 7 及びスイッチ 2 6 3 8 へ供給されるものとする。

【 0 1 9 7 】

また、図 4 7 では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

図 4 7 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【 0 1 9 8 】

図 4 8 は、マイコン部 2 6 3 0 の検査前に不揮発性メモリ 1 4 1 に格納されるデータの構成例を示す図である。

図 4 8 に示すように、不揮発性メモリ 1 4 1 の内容は、各メモリアドレスにつき、S E L P 信号の値を定義するための 1 ビットの S E L P 値と、T R 信号の値を定義するための 2 ビットの T R 値と、他のビットで構成される検査用データとからなる。なお、検査用データの意味については実施の形態 1、4 等で示したものと同一である。

【 0 1 9 9 】

図 4 8 の内容例は、通常電源による検査用データ群に対応させて S E L P 値を

1 b とし、続いて第 1 電圧の電源による検査用データ群に対応させて S E L P 値を 0 b、T R 値を 0 1 b とし、続いて第 2 電圧の電源による検査用データ群に対応させて S E L P 値を 0 b、T R 値を 1 0 b とし、続いて電源電圧を変化させながら行う検査用データ群に対応させて S E L P 値を 0 b、T R 値を順次 0 0 b ～ 1 1 b としている。

【 0 2 0 0 】

この内容例に示すデータが不揮発性メモリ 1 4 1 に記憶されている状態において、マイコン部 2 6 3 0 を検査するためにアドレス発生回路 1 0 2 から 0 0 0 0 h を初期値として逐次 1 増分したアドレス信号 S 1 0 2 a を発生すると、逐次不揮発性メモリ 1 4 1 から S E L P 信号、T R 信号を含む検査信号 S 1 7 4 1 a 及び期待値信号 S 1 7 4 1 b が出力される。なお、検査信号、期待値信号は、1 アドレスにおける検査用データ中の予め定められたビット数毎のデータをそれぞれ反映したものである。

【 0 2 0 1 】

従って、1 b である S E L P 値に基づく S E L P 信号がスイッチ 2 6 3 8 に与えられ、スイッチ 2 6 3 8 はこれを受けて通常の電源をマイコン部 2 6 3 0 の各回路ブロックへ動作電源 S 2 6 3 8 として供給する。これにより、通常電源による検査が行われる。

続いて、0 1 b である T R 値に基づく T R 信号が D / A 2 6 3 7 に与えられ、D / A 2 6 3 7 はこれを受けて出力 S 2 6 3 7 に第 1 の電圧を発生させる。これと共に、0 b である S E L P 値に基づく S E L P 信号がスイッチ 2 6 3 8 に与えられ、スイッチ 2 6 3 8 はこれを受けて当該出力 S 2 6 3 7 をマイコン部 2 6 3 0 の各回路ブロックへ動作電源 S 2 6 3 8 として供給することになる。これにより、第 1 電圧の電源による検査が行われる。

【 0 2 0 2 】

続いて、1 1 b である T R 値、及び 0 b である S E L P 値に基づいて、同様に、第 2 電圧の電源による検査が行われる。

続いて、0 0 b ～ 1 1 b である T R 値に基づく T R 信号が D / A 2 6 3 7 に順次与えられ、D / A 2 6 3 7 はこれを受けて出力 S 2 6 3 7 に 4 通りの電圧を順

次発生させる。これと共に、0 bであるSELP値に基づくSELP信号がスイッチ2638に与えられ、スイッチ2638はこれを受けて当該出力S2637をマイコン部2630の各回路ブロックへ動作電源S2638として供給する。これにより、電源電圧を順次変化させながら検査が行われる。

【0203】

この構成によれば、一具体例として、次のような検査が実施可能となる。

第1電圧の電源による検査はウェハからチップを切り分ける前に実施され、この検査を実施する場合にはアドレス発生回路102から0800hを初期値として逐次1増分したアドレス信号S102aを発生させる。

また、第2電圧の電源による検査はパッケージング後に実施され、この検査を実施する場合にはアドレス発生回路102から1000hを初期値として逐次1増分したアドレス信号S102aを発生させる。

【0204】

また、電源電圧を変化させながら行う検査は、マイコン部2630の電源電圧依存性を評価（いわゆるSIMOO測定）するために、電源電圧を例えば0.2V刻みに変化させながら実施され、この検査を実施する場合にはアドレス発生回路102から1800hを初期値として逐次1増分したアドレス信号S102aを発生させる。

【0205】

従って、この不揮発性メモリ内蔵マイコン2610によれば、マイコン部の各回路ブロックを様々な電源電圧により検査することが容易にできるようになる。

<実施の形態18>

以下、本発明の実施の形態18に係る不揮発性メモリ内蔵マイコンについて、図49～図50を用いて説明する。

【0206】

図49は、本発明の実施の形態18に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態18に係る不揮発性メモリ内蔵マイコン2810は、CPU131、RAM132、タイマ133、シリアル134、ポート13

5、A/D 1 3 6、D/A 1 3 7、及びスイッチ 2 8 3 8 を有するマイコン部 2 8 3 0 と、不揮発性メモリ 2 8 4 1、入出力信号制御回路 1 4 2、及びメモリ I/F 1 4 3 を有するメモリ部 2 8 4 0 とを備え、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 (図 1 参照) と比べた場合に特に異なる点は、不揮発性メモリ 2 8 4 1 から供給される電源 S 2 8 4 1、又は通常の電源の何れかがスイッチ 2 8 3 8 を介してマイコン部 2 8 3 0 の各回路ブロックへ動作電源 S 2 8 3 8 として供給されるように構成されている点である。

【 0 2 0 7 】

スイッチ 2 8 3 8 は不揮発性メモリ 2 8 4 1 から供給される 1 ビットの S E L P 信号に応じて電源 S 2 8 4 1、又は通常の電源の何れかを前記各回路ブロックへ供給する。

また、図 4 9 では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

【 0 2 0 8 】

図 4 9 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

図 5 0 は、不揮発性メモリ 2 8 4 1 の構成図である。不揮発性メモリ 2 8 4 1 は、実施の形態 1 2 で示した不揮発性メモリ 1 9 4 1 (図 2 8 参照) において電源回路 2 0 0 1 に若干の変更を加えて電源回路 2 8 0 1 としたものである。特に異なる点は、電圧調節回路 2 8 0 7 に設けられる参照電圧発生回路 2 8 0 8 が不揮発性メモリセル 2 0 0 3 内の各アドレスにおけるデータ中の 2 ビット目からの 2 ビットである T R 値を反映した T R 信号に応じて 4 通りの参照電圧を発生し、これに応じて電圧調節回路 2 8 0 7 が 4 通りに調節された電圧を発生させ、電源 S 2 8 4 1 として出力する点にある。

【 0 2 0 9 】

なお、電源回路 2 8 0 1 は昇圧回路 2 0 0 9 を有しているので、電圧調節回路 2 8 0 7 は、標準の電源電圧よりも高い電圧の電源 S 2 8 4 1 を出力することが

可能である。

本実施の形態における不揮発性メモリ 2 8 4 1 の内容は、前述の実施の形態 1 7 で示したもの（図 4 8 参照）と同じである。

【 0 2 1 0 】

この内容例に示すデータが不揮発性メモリ 2 8 4 1 に記憶されている状態において、マイコン部 2 8 3 0 を検査するためにアドレス発生回路 1 0 2 から 0 0 0 0 h を初期値として逐次 1 増分したアドレス信号 S 1 0 2 a を発生すると、逐次不揮発性メモリ 1 4 1 から S E L P 信号、T R 信号、検査信号 S 1 7 4 1 a 及び期待値信号 S 1 7 4 1 b が出力される。なお、検査信号、期待値信号は、1 アドレスにおける検査用データ中の予め定められたビット数毎のデータをそれぞれ反映したものである。

【 0 2 1 1 】

従って、1 b である S E L P 値に基づく S E L P 信号がスイッチ 2 8 3 8 に与えられ、スイッチ 2 8 3 8 はこれを受けて通常の電源をマイコン部 2 8 3 0 の各回路ブロックへ動作電源 S 2 8 3 8 として供給する。これにより、通常電源による検査が行われる。

続いて、0 1 b である T R 値に基づく T R 信号が参照電圧発生回路 2 8 0 8 に与えられ、参照電圧発生回路 2 8 0 8 はこれを受けて第 1 の参照電圧を発生することにより、電圧調節回路 2 8 0 7 は第 1 電圧の出力 S 2 8 4 1 を発生する。これと共に、0 b である S E L P 値に基づく S E L P 信号がスイッチ 2 8 3 8 に与えられ、スイッチ 2 8 3 8 はこれを受けて当該出力 S 2 8 4 1 をマイコン部 2 8 3 0 の各回路ブロックへ動作電源 S 2 8 3 8 として供給することになる。これにより、第 1 電圧の電源による検査が行われる。

【 0 2 1 2 】

続いて、1 1 b である T R 値、及び 0 b である S E L P 値に基づいて、同様に、第 2 電圧の電源による検査が行われる。

続いて、0 0 b ~ 1 1 b である T R 値に基づく T R 信号が参照電圧発生回路 2 8 0 8 に順次与えられ、参照電圧発生回路 2 8 0 8 はこれを受けて 4 通りの参照電圧を順次発生させることにより、電圧調節回路 2 8 0 7 は 4 通りの電圧の出力

S2841を順次発生する。これと共に、0bであるSELP値に基づくSELP信号がスイッチ2638に与えられ、スイッチ2638はこれを受けて当該出力S2637をマイコン部2630の各回路ブロックへ動作電源S2638として供給することになる。これにより、電源電圧を順次変化させながら検査が行われる。

【0213】

従って、この不揮発性メモリ内蔵マイコン2810によれば、マイコン部の各回路ブロックを、不揮発性メモリ内蔵マイコンの外部から供給される電源の電圧よりも高い様々な電源電圧により検査することが容易にできるようになる。

<実施の形態19>

以下、本発明の実施の形態19に係る不揮発性メモリ内蔵マイコンについて、図51～図53を用いて説明する。

【0214】

図51は、本発明の実施の形態19に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態19に係る不揮発性メモリ内蔵マイコン3110は、実施の形態18で示した不揮発性メモリ内蔵マイコン2810（図49参照）を変更したものであり、CPU131、RAM132、タイマ133、シリアル134、ポート135、A/D136、D/A137、及びスイッチ3138を有するマイコン部3130と、不揮発性メモリ3141、入出力信号制御回路142、及びメモリI/F3143を有するメモリ部3140とを備えている。

【0215】

不揮発性メモリ3141は、電源回路3147、レジスタ3148及びセンスアンプ3149を有している。

実施の形態18で示した不揮発性メモリ内蔵マイコン2810と比べた場合に特に異なる点は、電源回路3147から供給される電源S3141の電流値がTR信号により示される上限値を超えているか否かがセンスアンプ3149により判断され、その判断結果を示す比較結果信号S3142がメモリI/F3143へ供給され、検査結果信号S143eの一部として論理比較回路104へ到達す

るように構成されている点である。

【 0 2 1 6 】

良否判定回路 1 0 5 は、比較結果信号 S 3 1 4 2 が、電源 S 3 1 4 1 の電流値が前記上限値を超えていることを示す値であれば不良品、そうでなければ良品と判断する。

レジスタ 3 1 4 8 は T R 信号により示される T R 値を記憶する。本実施の形態において、T R 値は電源電流の上限値を示すために用いられ、電源回路 3 1 4 7 は固定された単一の電圧を発生するように構成される。

【 0 2 1 7 】

図 5 1 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

図 5 2 は、センスアンプ 3 1 4 9 の構成図である。同図に示すように、センスアンプ 3 1 4 9 は、参照電流発生回路 3 1 4 5、及び電流比較回路 3 1 4 6 を備えている。参照電流発生回路 3 1 4 5 は、レジスタ 3 1 4 8 が例えば 2 ビットの T R 値を記憶しているとして、その値に応じて 4 通りの電流値の参照電流を発生する定電流源である。電流比較回路 3 1 4 6 は、電源回路 3 1 4 7 から供給される電源 S 3 1 4 1 の電流値 I D D が、参照電流発生回路 3 1 4 5 により発生される電流値 I r e f に応じて設定される上限値を超えているか否かを示す比較結果信号 S 3 1 4 2 を出力する。

【 0 2 1 8 】

一具体例として、0 1 b である T R 値をレジスタ 3 1 4 8 に記憶させた場合、前記上限値がマイコン部 3 1 3 0 の S T O P 電流規格にあたる $6 \mu A$ に設定され、1 1 b である T R 値をレジスタ 3 1 4 8 に記憶させた場合、前記上限値がマイコン部 3 1 3 0 の動作電流規格にあたる 1 0 0 m A に設定されるものとする。

図 5 3 は、マイコン部 3 1 3 0 の検査前に不揮発性メモリ 3 1 4 1 に格納されるデータの構成例を示す図である。

【 0 2 1 9 】

図 5 3 に示すように、不揮発性メモリ 3 1 4 1 の内容は、各メモリアドレスにつき、S E L P 信号の値を定義するための 1 ビットの S E L P 値と、T R 信号の

値を定義するための2ビットのTR値と、他のビットで構成される検査用データとからなる。なお、検査用データの意味については実施の形態1、4等で示したものと同一である。

【0220】

図53の内容例は、電流規格を考慮しない検査用データ群に対応させてSELP値を1bとし、続いてSTOP電流規格による検査用データ群に対応させてSELP値を0b、TR値を01bとし、続いて動作電流規格による検査用データ群に対応させてSELP値を0b、TR値を11bとしている。

この内容例に示すデータが不揮発性メモリ3141に記憶されている状態において、マイコン部3130を検査するためにアドレス発生回路102から0000hを初期値として逐次1増分したアドレス信号S102aを発生すると、逐次不揮発性メモリ3141からSELP信号、TR信号、検査信号S141a及び期待値信号S141bが出力される。なお、検査信号、期待値信号は、1アドレスにおける検査用データ中の予め定められたビット数毎のデータをそれぞれ反映したものである。

【0221】

従って、1bであるSELP値に基づくSELP信号がスイッチ3138に与えられ、スイッチ3138はこれを受けて通常の電源をマイコン部3130の各回路ブロックへ動作電源S3138として供給する。通常の電源はセンスアンプ3149を経由しないので、その比較結果信号に基づく良否判定は行われない。これにより、電源規格を考慮しない検査が行われる。

【0222】

続いて、01bであるTR値に基づくTR信号がレジスタ3148に与えられ、レジスタ3148はこの値を記憶すると共に参照電流発生回路3145へ供給する。参照電流発生回路3145はこれを受けて第1の参照電流を発生する。これと共に、0bであるSELP値に基づくSELP信号がスイッチ3138に与えられ、スイッチ3138はこれを受けて当該出力S3141をマイコン部3130の各回路ブロックへ動作電源S3138として供給する。動作電源S3138の電流値は、電流比較回路1346において第1の参照電流に応じたSTOP

電流規格における上限値と比較される。これにより、STOP電流規格に基づく検査が行われる。

【 0 2 2 3 】

続いて、11bであるTR値、及び0bであるSELP値に基づいて、同様に、動作電流規格に基づく検査が行われる。

従って、この不揮発性メモリ内蔵マイコン3110によれば、様々な電流規格に基づいてマイコン部の消費電流を検査することが容易にできるようになる。

<実施の形態20>

以下、本発明の実施の形態20に係る不揮発性メモリ内蔵マイコンについて、図54～図56を用いて説明する。

【 0 2 2 4 】

図54は、本発明の実施の形態20に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態20に係る不揮発性メモリ内蔵マイコン2410は、CPU131、RAM132、タイマ133、シリアル134、ポート135、A/D136、及びD/A137を有するマイコン部130と、不揮発性メモリ2441、入出力信号制御回路142、メモリI/F143、及び不良アドレス書込制御回路2444を有するメモリ部2440とを備えている。

【 0 2 2 5 】

また、当該不揮発性メモリ内蔵マイコン2410を検査するための外部装置であるメモリテスター2400は、実施の形態1で示したメモリテスター100（図1参照）における論理比較回路104に変更を加えた論理比較回路2404を備えている。

実施の形態1で示した不揮発性メモリ内蔵マイコン110（図1参照）、及びメモリテスター100と比べた場合に特に異なる点は、論理比較回路2404が不一致を検出した場合に、起動信号S2404を不良アドレス書込制御回路2444へ供給するように構成されている点、及び起動信号S2404が供給された時点でのアドレスが、不良アドレス書込制御回路2444により不揮発性メモリ2441へ書込まれるように構成されている点である。

【 0 2 2 6 】

また、図 5 4 では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

図 5 4 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【 0 2 2 7 】

図 5 5 (A) は、マイコン部 1 3 0 の検査前に不揮発性メモリ 2 4 4 1 に格納されるデータの内容例、図 5 5 (B) は当該検査後の内容例を示す図である。これらの検査用データの意味については実施の形態 1、4 等で示したものと同じである。

図 5 5 (A) は、マイコン部 1 3 0 の 4 種類の回路ブロックをそれぞれ検査するための検査用データ群 A ~ D が格納されている内容例を示している。

【 0 2 2 8 】

図 5 5 (B) は、検査において検査結果信号と期待値信号との不一致が見出され、そのため不揮発性メモリ 2 4 4 1 の先頭ブロックに格納されていたデータが消去され、不良アドレスが書き込まれた後の内容例を示している。

図 5 6 は、実施の形態 2 0 に係る検査の手順を示したフローチャートである。図 5 5 (A) に示すデータが不揮発性メモリ 2 4 4 1 に記憶されている状態において、実施の形態 1 で示した手順に従って、検査用データ群 A ~ D に基づいて各回路ブロックの検査が順次行われる（ステップ S 2 4 0 1 ~ ステップ S 2 4 0 4）。何れかの検査において、論理比較回路 2 4 0 4 が検査結果信号 1 4 3 e と期待値信号 S 1 4 3 d との不一致を検出すると（ステップ S 2 4 0 3 : Y E S）、起動信号 S 2 4 0 4 を発することにより不良アドレス書込制御回路 2 4 4 4 を起動する（ステップ S 2 4 0 5）。

【 0 2 2 9 】

起動された不良アドレス書込制御回路 2 4 4 4 は、アドレス信号 S 1 0 2 a により示されるアドレスをラッチし（ステップ S 2 4 0 6）、次に不揮発性メモリ

の先頭ブロックに記憶されているデータを消去し（ステップ S 2 4 0 7）、次に前記ラッチされたアドレスを当該先頭ブロックに書込む（ステップ S 2 4 0 8）。この結果、不揮発性メモリ 2 4 4 1 の内容は、図 5 5（B）に示したものとなる。

【 0 2 3 0 】

このデータの消去及びアドレスの書込みは、不良アドレス書込制御回路 2 4 4 4 が書込制御信号 S 2 4 4 4 を不揮発性メモリ 2 4 4 1 へ供給することにより行われる。

従って、この不揮発性メモリ内蔵マイコン 2 4 1 0 によれば、不揮発性メモリに不良アドレスを書き込むことにより電源が一旦喪失しても回復後再びその不良アドレスを認識できるので、検査手順の自由度が高まり、もって不良解析作業の効率化が図られる。

<実施の形態 2 1>

以下、本発明の実施の形態 2 1 に係る不揮発性メモリ内蔵マイコンについて、図 5 7 ～ 図 5 9 を用いて説明する。

【 0 2 3 1 】

図 5 7 は、本発明の実施の形態 2 1 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態 2 1 に係る不揮発性メモリ内蔵マイコン 2 6 1 0 は、実施の形態 2 0 で示した不揮発性メモリ内蔵マイコン 2 4 1 0（図 5 4 参照）を変更したものであり、CPU 1 3 1、RAM 1 3 2、タイマ 1 3 3、シリアル 1 3 4、ポート 2 6 3 5、A/D 1 3 6、及び D/A 1 3 7 を有するマイコン部 2 6 3 0 と、不揮発性メモリ 2 6 4 1、入出力信号制御回路 1 4 2、メモリ I/F 1 4 3、及び不良アドレス書込制御回路 2 6 4 4 を有するメモリ部 2 6 4 0 とを備えている。

【 0 2 3 2 】

不揮発性メモリ内蔵マイコン 2 4 1 0 と比べた場合に特に異なる点は、不揮発性メモリ 2 6 4 1 が CPU 1 3 1 により実行可能な解析用プログラムを記憶している点、及び不良アドレス書込制御回路 2 6 4 4 がポート 2 6 3 5 を介して CP

U 1 3 1 に当該解析用プログラムの実行開始を指示できるように構成されている点である。

【 0 2 3 3 】

また、図 5 7 では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

図 5 7 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【 0 2 3 4 】

図 5 8 (A) は、マイコン部 2 6 3 0 の検査前に不揮発性メモリ 2 6 4 1 に格納されるデータの内容例、図 5 5 (B) は当該検査後の内容例を示す図である。検査用データ群 A ～ C の意味については実施の形態 1、4 等で示したものと同一である。解析用プログラムは、CPU 1 3 1 実行可能な機械語命令列である。

図 5 8 (A) の内容例は、マイコン部 2 6 3 0 の 3 種類の回路ブロックをそれぞれ検査するための検査用データ群 A ～ C、及び解析用プログラムが格納されている状態を示している。

【 0 2 3 5 】

図 5 8 (B) の内容例は、検査において検査結果信号と期待値信号との不一致が見出され、そのため不揮発性メモリ 2 6 4 1 の先頭ブロックに格納されていたデータが消去され、不良アドレスが書き込まれた後の状態を示している。

図 5 9 は、実施の形態 2 1 に係る検査の手順を示したフローチャートである。図 5 8 (A) に示すデータが不揮発性メモリ 2 6 4 1 に記憶されている状態において、実施の形態 2 0 で示したようにして、検査用データ群 A ～ C に基づく各回路ブロックの検査（ステップ S 2 4 1 1 ～ステップ S 2 4 1 4）、及び不良アドレスの書き込み（ステップ S 2 4 1 5 ～ステップ S 2 4 1 8）が行われ、不揮発性メモリ 2 6 4 1 の内容は図 5 8 (B) に示したものとなる。続いて、不良アドレス書き込み制御回路 2 6 1 4 は、解析用プログラムの先頭アドレスを示すと共に CPU 1 3 1 の H A L T を解除するための制御信号 S 2 6 4 4 b を、ポート 2 6 3

5を介してCPU131に供給し、CPU131はこれを受けて当該解析用プログラムの実行を開始する（ステップS2419）。

【0236】

当該解析用プログラムは、例えば不揮発性メモリに書き込まれた不良アドレスを参照して当該不良に関連する回路ブロックを識別し、当該識別された回路ブロックを重点的に動作させることにより不良状況を精密に解析する役割を担う。

従って、この不揮発性メモリ内蔵マイコン2610によれば、不揮発性メモリに不良アドレスを書き込むことにより電源が一旦喪失しても回復後再びその不良アドレスを認識できるので、検査手順の自由度が高まり、もって不良解析作業の効率化が図られると同時に、解析用プログラムを実行することによって不良状況の精密な解析が可能となる。

<実施の形態22>

以下、本発明の実施の形態22に係る不揮発性メモリ内蔵マイコンの検査方法について、図60～図62を用いて説明する。

【0237】

図60は、本発明の実施の形態22に係る検査方法を実施するための検査環境の構成図である。当該検査環境には、検査対象たる不揮発性メモリ内蔵マイコン110、当該マイコンを検査するためのメモリテスター100、及び不揮発性メモリ141にロードされるべきデータを格納している外部メモリ1121が含まれる。不揮発性メモリ内蔵マイコン110、及びメモリテスター100は、実施の形態1で示したものの同一である。

【0238】

図60中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

外部メモリ1121は、具体的にはハードディスク装置、メモリ装置等であり、不揮発性メモリ141の容量よりも多量の検査用データを格納していて、当該検査用データの一部を不揮発性メモリ141へ供給し記憶させるように構成されている。

【0239】

図61は、実施の形態22において外部メモリ1121に格納されているデータの内容例を示す図である。この例では、外部メモリ1121は、不揮発性メモリ141の2個分に相当する記憶領域を有していて、マイコン部130のCPU本体、A/D、タイマー等の各回路ブロックを検査するための検査用データ群を、厳格な検査規格A及び緩和された検査規格Bのそれぞれについて格納している。

【0240】

不揮発性メモリ141には、一度に、検査規格A及び検査規格Bの何れか一方についての検査用データ群がロード可能である。

図62は、実施の形態22に係る検査の手順を示したフローチャートである。

まず、検査規格Aについての検査用データ群を外部メモリ1121から不揮発性メモリ141へ次のようにしてロードする。アドレス発生回路102から0000hを初期値として逐次1増分したアドレス信号S102cを発生して外部メモリ1121へ供給すると共に、その下位16ビットをアドレス信号S102aとして不揮発性メモリ141へ供給しつつ、テスト信号発生回路106から外部メモリ1121へ読出信号S106cを供給する。外部メモリ1121は、アドレス信号S102c及び読出信号S106cを受けてデータS1121へ検査規格Aの検査用データを逐次出力する。テスト信号発生回路106は不揮発性メモリ141に対し、書込コマンドを示す制御信号S106bをメモリI/F143を介して供給することにより、当該検査用データをロードさせる（ステップS1121）。

【0241】

次に、不揮発性メモリ141へロードされた検査規格Aの検査用データを用いて、実施の形態1で示した手順に従って、検査を実施する（ステップS1122）。論理比較回路104によって検査結果信号S143eと期待値信号S143dとの不一致が見出されなかった場合（ステップS1123：NO）、良否判定回路105は、不揮発性メモリ内蔵マイコン110を検査規格A及びBを共に満たす良品であると判定する。

【0242】

不一致が見出された場合（ステップ S 1 1 2 3 : Y E S）、検査規格 B についての検査用データ群を外部メモリ 1 1 2 1 から不揮発性メモリ 1 4 1 へロードする（ステップ S 1 1 2 5）。このための具体的な方法は検査規格 A について述べたものと略同様であり、アドレス発生回路 1 0 2 が 1 0 0 0 0 h を初期値として逐次 1 増分したアドレス信号 S 1 0 2 c を発生する点においてのみ異なる。

【 0 2 4 3 】

次に、不揮発性メモリ 1 4 1 へロードされた検査規格 B の検査用データを用いて検査を実施する（ステップ S 1 1 2 6）。論理比較回路 1 0 4 によって検査結果信号 S 1 4 3 e と期待値信号 S 1 4 3 d との不一致が見出されなかった場合（ステップ S 1 1 2 7 : N O）、良否判定回路 1 0 5 は、不揮発性メモリ内蔵マイコン 1 1 0 を検査規格 B のみを満たす良品であると判定する。

【 0 2 4 4 】

不一致が見出された場合（ステップ S 1 1 2 7 : Y E S）、良否判定回路 1 0 5 は、不揮発性メモリ内蔵マイコン 1 1 0 を不良品であると判定する（ステップ S 1 1 2 9）。

従って、この検査方法によれば、不揮発性メモリ 1 4 1 から検査用データを供給することによって、基本的にメモリテスターがあれば不揮発性メモリ内蔵マイコンの検査が可能となるので、検査コストの低減に寄与する。さらに、不揮発性メモリ 1 4 1 が単一の検査規格についての検査用データに対応する記憶容量しか持たない場合であっても、複数の検査規格それぞれについての検査用データを、外部メモリから順次ロードして検査を実施するので、検査規格ごとのランク分けが可能となる。

<実施の形態 2 3>

以下、本発明の実施の形態 2 3 に係る不揮発性メモリ内蔵マイコンの検査方法について、図 6 3 ～図 6 6 を用いて説明する。

【 0 2 4 5 】

図 6 3 は、本発明の実施の形態 2 3 に係る検査方法を実施するための検査環境の構成図である。当該検査環境は、実施の形態 2 2 で示した検査環境（図 6 0 参照）におけるメモリテスターに、検査項目毎に良否判定結果を記録するためのレ

レジスタ群 1 0 7 を追加して構成される。不揮発性メモリ内蔵マイコン 1 1 0 は、実施の形態 1 で示したものの同一である。

【 0 2 4 6 】

図 6 3 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

図 6 4 は、実施の形態 2 3 において外部メモリ 1 1 2 1 に格納されているデータの内容例を示す図である。この例では、外部メモリ 1 1 2 1 は、不揮発性メモリ 1 4 1 の 3 個分に相当する記憶領域を有していて、不揮発性メモリの検査用データ群、マイコン部 1 3 0 に関する検査項目 A 及び B の検査用データ群、及びマイコン部 1 3 0 に関する検査項目 C 及び D の検査用データ群を、それぞれ不揮発性メモリの 1 個分に相当する領域に格納している。

【 0 2 4 7 】

図 6 5 及び図 6 6 は、実施の形態 2 3 に係る検査の手順の前半部及び後半部をそれぞれ示すフローチャートである。

前半部では、まず、レジスタ群 1 0 7 に含まれる全てのレジスタをリセットし（ステップ S 1 1 3 1）、次に、所定数の検査サンプルの各々を対象として以下の処理を繰り返す（ステップ S 1 1 3 2 ～ ステップ S 1 1 4 2）。当該所定数は、例えば検査サンプル総数の 1 0 % とする。

【 0 2 4 8 】

対象となる検査サンプルについて、DC 検査（ステップ S 1 1 3 3）、及び不揮発性メモリの検査を実施する（ステップ S 1 1 3 4）。

続いて、マイコン部 1 3 0 に関する検査項目 A 及び B の検査用データ群を外部メモリ 1 1 2 1 から不揮発性メモリ 1 4 1 へロードし（ステップ S 1 1 3 5）、検査項目 A 及び検査項目 B の検査を実施し（ステップ S 1 1 3 6）、ロードされている検査用データ群を消去する（ステップ S 1 1 3 7）。データのロード、及び検査は、前述の実施の形態で示した手順に従って行えばよい。

【 0 2 4 9 】

続いて、マイコン部 1 3 0 に関する検査項目 C 及び D の検査用データ群を外部メモリ 1 1 2 1 から不揮発性メモリ 1 4 1 へロードし（ステップ S 1 1 3 8）、

検査項目 C 及び検査項目 D の検査を実施し（ステップ S 1 1 3 9）、ロードされている検査用データ群を消去する（ステップ S 1 1 4 0）。

そして、マイコン部 1 3 0 に関する各検査項目のうち F A I L したものについて、対応するレジスタをセットする（ステップ S 1 1 4 1）。

【 0 2 5 0 】

後半部では、まず、対応するレジスタがセットされている検査項目を選択し（ステップ S 1 1 5 1）、次に、全検査サンプルの各々を対象として以下の処理を繰り返す（ステップ S 1 1 5 2 ～ ステップ S 1 1 6 0）。

対象となる検査サンプルについて、D C 検査（ステップ S 1 1 5 3）、及び不揮発性メモリの検査を実施する（ステップ S 1 1 5 4）。

【 0 2 5 1 】

続いて、ステップ S 1 1 5 1 において選択され、かつ未検査の検査項目がある間、以下の処理を繰り返す（ステップ S 1 1 5 5 ～ ステップ S 1 1 5 9）

未検査の検査項目に関する検査用データ群を、不揮発性メモリ 1 4 1 にロード可能な最大容量に達するまでロードし（ステップ S 1 1 5 6）、ロードされた検査用データ群を用いて検査を実施し（ステップ S 1 1 5 7）、ロードされている検査用データ群を消去する（ステップ S 1 1 5 8）。

【 0 2 5 2 】

従って、この検査方法によれば、前半部の抜き取り検査において不良発生率が低いと判断された検査項目について、後半部の全検査を省略するので、検査時間の短縮を図ることができる。例えば、このような検査をウェハから各検査サンプルを切り分ける前に実施し、パッケージング後に改めて全検査を行うように運用すれば、ウェハ段階での検査時間を短縮できると共に、製品品質も損なわれない。

< 実施の形態 2 4 >

以下、本発明の実施の形態 2 4 に係る不揮発性メモリ内蔵マイコンの検査方法について、図 6 7 ～ 図 6 9 を用いて説明する。

【 0 2 5 3 】

図 6 7 は、本発明の実施の形態 2 3 に係る検査方法を実施するための検査環境

の構成図である。当該検査環境には、検査対象たる不揮発性メモリ内蔵マイコン 4 6 1 0 及び 4 7 1 0、当該 2 個のマイコンを検査するためのメモリテスター 4 6 0 0、並びにインターフェース回路 4 6 5 0 が含まれる。

不揮発性メモリ内蔵マイコン 4 6 1 0 及び 4 7 1 0 は、実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0（図 1 参照）を変更したものであり、特に、不揮発性メモリ内蔵マイコン 1 1 0 における検査信号 S 1 4 2 a にそれぞれ相当する検査信号 S 4 6 4 2 a 及び検査信号 S 4 7 4 2 a が、外部へ抽出可能、かつ外部から注入可能に構成されている点で異なる。

【 0 2 5 4 】

また、メモリテスター 4 6 0 0 は、実施の形態 1 で示したメモリテスター 1 0 0 を変更したものであり、不揮発性メモリ内蔵マイコン 4 6 1 0 からの検査結果信号と期待値信号との比較、及び不揮発性メモリ内蔵マイコン 4 7 1 0 からの検査結果信号と期待値信号との比較が、それぞれ別個に行えるように構成されている点、データ及び制御信号が、不揮発性メモリ内蔵マイコン 4 6 1 0 及び不揮発性メモリ内蔵マイコン 4 7 1 0 へ、それぞれ別個に供給できるように構成されている点、及び、インターフェース回路 4 6 5 0 へ制御信号を供給できるように構成されている点で異なる。

【 0 2 5 5 】

インターフェース回路 4 6 5 0 は、テスト信号発生回路 4 6 0 6 からの制御信号 S 1 0 6 c に応じて、検査信号 S 4 6 4 2 a の伝送線路と検査信号 S 4 7 4 2 a の伝送線路とを、短絡するか、又は開放するように構成されている。

また、図 6 7 では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

【 0 2 5 6 】

図 6 7 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付すと共に詳細を省略して記載し、ここでは説明を省略する。

図 6 8 (A) 及び (B) は、それぞれ不揮発性メモリ 4 6 4 1、及び不揮発性メモリ 4 7 4 1 に格納されるデータの内容例を示す図である。

【 0 2 5 7 】

同図に示すように、不揮発性メモリ 4 6 4 1 には検査用データ群 A が格納され、不揮発性メモリ 4 7 4 1 には検査用データ群 B が格納されている。

図 6 9 は、実施の形態 2 4 に係る検査の手順を示したフローチャートである。

テスト信号発生回路 4 6 0 6 は、検査信号 S 4 6 5 0 及び検査信号 S 4 7 5 0 間を開放すべきことを示す制御信号 S 1 0 6 c をインターフェース回路 4 6 5 0 へ供給し、インターフェース回路 4 6 5 0 はこれを受けて検査信号 S 4 6 4 2 a 及び S 4 7 4 2 a 間を開放する（ステップ S 4 6 0 1）。

【 0 2 5 8 】

この状態で、メモリテスター 4 6 0 0 は、制御信号 S 1 0 6 b 1 を供給することにより、検査用データ群 A を用いて不揮発性メモリ内蔵マイコン 4 6 1 0 の検査を行う。このとき、メモリテスター 4 6 0 0 は、不揮発性メモリ内蔵マイコン 4 6 1 0 からの検査結果信号 S 4 6 4 3 e 及び期待値信号 S 4 6 4 3 d を比較することにより良否判定を行い、不揮発性メモリ内蔵マイコン 4 7 1 0 からの検査結果信号 S 4 7 4 3 e 及び期待値信号 S 4 7 4 3 d については関知しない（ステップ S 4 6 0 2）。

【 0 2 5 9 】

続いて、メモリテスター 4 6 0 0 は、制御信号 S 1 0 6 b 2 を供給することにより、検査用データ群 B を用いて不揮発性メモリ内蔵マイコン 4 7 1 0 の検査を行う。このとき、メモリテスター 4 6 0 0 は、不揮発性メモリ内蔵マイコン 4 7 1 0 からの検査結果信号 S 4 7 4 3 e 及び期待値信号 S 4 7 4 3 d を比較することにより良否判定を行い、不揮発性メモリ内蔵マイコン 4 6 1 0 からの検査結果信号 S 4 6 4 3 e 及び期待値信号 S 4 6 4 3 d については関知しない（ステップ S 4 6 0 3）。

【 0 2 6 0 】

次に、テスト信号発生回路 4 6 0 6 は、検査信号 S 4 6 5 0 及び検査信号 S 4 7 5 0 間を短絡すべきことを示す制御信号 S 1 0 6 c をインターフェース回路 4

6 5 0 へ供給し、インターフェース回路 4 6 5 0 はこれを受けて検査信号 S 4 6 4 2 a 及び S 4 7 4 2 a 間を短絡する（ステップ S 4 6 0 4）。

この状態で、メモリテスター 4 6 0 0 は、制御信号 S 1 0 6 b 1 を供給することにより、不揮発性メモリ内蔵マイコン 4 6 1 0 に対し、検査信号 S 4 6 4 2 a に検査用データ群 A を順次出力させると同時に、制御信号 S 1 0 6 b 2 を供給することにより、不揮発性メモリ内蔵マイコン 4 7 1 0 に対し、検査信号 S 4 7 4 2 a の出力を無効化（高インピーダンス状態に）させる。

【 0 2 6 1 】

これにより検査用データ A は、検査信号 S 4 6 4 2 a からインターフェース回路 4 6 5 0 を介して不揮発性メモリ内蔵マイコン 4 7 1 0 におけるマイコン部 4 7 3 0 へ供給される。従って、メモリテスター 4 6 0 0 は、検査結果信号 S 4 7 4 3 e 及び期待値信号 S 4 7 4 3 d を比較することにより、検査用データ群 A を用いて不揮発性メモリ内蔵マイコン 4 7 1 0 の検査を行う。このとき、メモリテスター 4 6 0 0 は、不揮発性メモリ内蔵マイコン 4 6 1 0 からの検査結果信号 S 4 6 4 3 e 及び期待値信号 S 4 6 4 3 d については関知しない（ステップ S 4 6 0 5）。

【 0 2 6 2 】

続いて、不揮発性メモリ内蔵マイコン 4 6 1 0 及び 4 6 2 0 の役割を入れ替えて、検査用データ群 B を用いて不揮発性メモリ内蔵マイコン 4 6 1 0 の検査を行う（ステップ S 4 6 0 6）。

従って、この検査方法によれば、検査用データの規模が単一の不揮発性メモリの容量を越える場合に、複数の検査サンプルにおける不揮発性メモリに分割格納し、当該分割格納された検査用データを用いて当該複数の検査サンプルを検査するので、個々の不揮発性メモリにおいて検査用データの入れ替えが不要となり、検査時間の短縮を図ることができる。

<実施の形態 2 5>

以下、本発明の実施の形態 2 5 に係る不揮発性メモリ内蔵マイコンについて、図 7 0 及び図 7 1 を用いて説明する。

【 0 2 6 3 】

図 7 0 は、本発明の実施の形態 2 5 に係る不揮発性メモリ内蔵マイコンの構成図である。

同図に示すように実施の形態 2 1 に係る不揮発性メモリ内蔵マイコン 4 2 1 0 は、CPU 1 3 1、RAM 1 3 2、タイマ 1 3 3、シリアル 1 3 4、ポート 1 3 5、A/D 1 3 6、及び D/A 1 3 7 を有するマイコン部 1 3 0 と、不揮発性メモリ 4 2 4 1、入出力信号制御回路 1 4 2、及びメモリ I/F 4 2 4 3 を有するメモリ部 4 2 4 0 とを備えている。

【 0 2 6 4 】

実施の形態 1 で示した不揮発性メモリ内蔵マイコン 1 1 0 (図 1 参照) と比べた場合に特に異なる点は、データ信号 S 1 4 3 a の内容にかかわらず NOP 命令を表すデータ信号 S 1 3 1 c が CPU 1 3 1 へ供給され、これにより逐次 1 増分したプログラムカウンタ値がアドレス信号 S 1 3 1 d として発せられるように構成されている点、及びこのアドレス信号 S 1 3 1 d がメモリ I/F 4 2 4 3 を介してアドレス信号 S 1 4 3 b として不揮発性メモリ 4 2 4 1 へ供給され、これにより検査用データが逐次読み出されるよう構成されている点である。

【 0 2 6 5 】

また、図 7 0 では各構成要素間を結ぶ実線矢印により検査時における信号の流れを示し、破線矢印により検査時以外の通常時における信号の流れを示している。この実線矢印及び破線矢印で示される信号は、1 又は複数本の信号線を通じて伝達される。

図 7 0 中の構成要素のうち前述の実施の形態で示した構成要素と同一であるものには、同一の符号を付しており、ここでは説明を省略する。

【 0 2 6 6 】

図 7 1 は、メモリ I/F 4 2 4 3 の特徴部分を示した構成図である。

同図に示すように、メモリ I/F 4 2 4 3 は、マルチプレクサ (MPX) 4 2 4 4 を備え、選択信号 S 4 2 1 0 b に応じて、通常動作時には不揮発性メモリ 1 4 4 から与えられたデータ信号 S 1 4 3 a をデータ信号 S 1 3 1 c として出力し、検査時には NOP 命令を表す信号 S 4 2 1 0 a (全ビットが LOW レベルの信号とする) をデータ信号 S 1 3 1 c として出力する。選択信号 S 4 2 1 0 b は、

メモリテスター 6 0 0 から制御信号 S 1 0 6 b に応じて供給される。

【 0 2 6 7 】

不揮発性メモリ 4 2 4 1 に格納されている検査用データの構造は、前述した実施の形態における検査用データと同一である。

不揮発性メモリ内蔵マイコン 4 2 1 0 は次のようにして検査される。テスト信号発生回路 1 0 6 から発せられた制御信号 S 1 0 6 b に応じてメモリ I / F 4 2 4 3 が NOP 命令を表す信号を CPU 1 3 1 に供給する。これに応じて CPU 1 3 1 は逐次 1 増分するアドレス信号をメモリ I / F 4 2 4 3 を介して不揮発性メモリ 4 2 4 1 へ供給し、不揮発性メモリ 4 2 4 1 は格納している検査用データを逐次読み出して、検査信号 S 1 4 1 a 及び期待値信号 S 1 4 1 b に出力する。以降、前述の実施の形態において示した手順と同様に、当該検査信号 S 1 4 1 a 及び期待値信号 S 1 4 1 b に基づいて不揮発性メモリ内蔵マイコン 4 2 1 0 の検査が行われる。

【 0 2 6 8 】

従って、この不揮発性メモリ内蔵マイコン 4 2 1 0 によれば、メモリテスターからのアドレス信号の供給が不要となりメモリテスターとの接続線数が削減されるので、同時に並行して検査できる不揮発性メモリ内蔵マイコンチップの数を増やすことができ、もって総合的な検査時間の短縮を図ることができる。

【 0 2 6 9 】

【発明の効果】

以上の説明から明らかなように、本発明に係る不揮発性メモリ内蔵マイクロコンピュータチップは、マイクロコンピュータ部とメモリ部とを含む半導体チップである不揮発性メモリ内蔵マイクロコンピュータチップであって、前記マイクロコンピュータ部は、CPU その他の回路ブロックを有し、前記メモリ部は、不揮発性メモリを含み、マイクロコンピュータ部内の各回路ブロックを駆動して検査を行うための複数の検査データを不揮発性メモリ内蔵マイクロコンピュータチップの外部から取得して不揮発性メモリに記録した後、各検査データに基づく検査信号を当該不揮発性メモリに逐次出力させるメモリ制御手段と、不揮発性メモリから逐次出力される検査信号に基づく信号を、前記マイクロコンピュータ部内の

回路ブロックを駆動するために当該回路ブロックに伝達する駆動手段と、前記マイクロコンピュータ部内の各回路ブロックの駆動結果としての検査結果信号を受け取り当該検査結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力する出力手段とを有する。

【 0 2 7 0 】

これにより、従来ロジックテスターから、マイクロコンピュータ（マイコン）部内のCPU等の各回路ブロックに検査用データを与えて行っていた検査を、不揮発性メモリに検査用データ群を記録した後、不揮発性メモリに検査用データを逐次出力させて、マイコン部内の各回路ブロックに与えることにより実現することができ、このため、不揮発性メモリ内蔵マイコンの外部においては基本的にメモリテスターがあれば検査を実施できるようになる。従って、ロジックテスターを用いた検査の工程を省略できるため、検査コストの削減が図れ、また、多数の端子を有する検査装置によって、同時に並行して検査できる不揮発性メモリ内蔵マイコンチップの数を増やすことができるため、総合的な検査時間の短縮が図れる。

【 0 2 7 1 】

また、前記マイクロコンピュータ部は、前記回路ブロック以外に、当該マイクロコンピュータ部の外部とのデータの授受を行うインタフェースであるポートを有し、前記駆動手段は、不揮発性メモリから逐次出力される検査信号に基づく信号を前記ポートを介して前記マイクロコンピュータ部内の回路ブロックに伝達し、前記出力手段は、前記マイクロコンピュータ部内の各回路ブロックの駆動結果としての検査結果信号を前記ポートを介して受け取り当該検査結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力してもよい。

【 0 2 7 2 】

これにより、ポートを介して外部とのデータの授受を行うようなマイコン部に対して、ロジックテスターからポートを介して検査用データの入出力をして検査するのではなく、不揮発性メモリから出力される検査用データがポートを通じてマイコン部に入力され、マイコン部による動作結果のデータはポートを通じてメ

メモリ部経由で外部に出力されるという形態で検査がなされるので、ロジックテスターが不要となり、従来必要であったロジックテスターとポートとを結ぶ多数の接続線が不要となり、例えば多数の端子を有する検査装置によって同時に並行して検査できる不揮発性メモリ内蔵マイコンチップの数を増やすことができるようになるため総合的な検査時間の短縮が図れる。

【 0 2 7 3 】

また、前記メモリ制御手段は、前記検査データに基づいてマイクロコンピュータ部内の回路ブロックの駆動が正常に行えた場合における駆動結果の期待値を示す期待値データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である期待値データに基づく期待値信号とを当該不揮発性メモリに出力させ、前記出力手段は、前記マイクロコンピュータ部内の各回路ブロックの駆動結果としての検査結果信号に基づく信号と、前記不揮発性メモリから出力され当該駆動結果の期待値に相当する期待値信号とを共に不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力してもよい。

【 0 2 7 4 】

これにより、マイコン部の各回路ブロックを駆動するための命令である検査データと、そのマイコン部が正常に動作する場合つまり良品である場合に、検査データによる駆動結果として各回路ブロックから返される値の期待値である期待値データとが対となって同期して不揮発性メモリから出力され、このことにより検査データに基づいて各回路ブロックから返される値と期待値データとが共に外部に出力されるので、メモリテスター等の外部装置においては、その各回路ブロックから返される値と期待値データとの比較により簡易に、マイコン部の各回路ブロックが正常に動作したか否かを判定することができるようになる。

【 0 2 7 5 】

また、前記メモリ制御手段は、一定周期でアドレス信号を逐次出力するアドレ

ス発生回路を有し、前記メモリ制御手段は、前記アドレス発生回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容である検査データに基づく検査信号を前記不揮発性メモリに出力させてもよい。

これにより、不揮発性メモリに検査データを格納した後に行われるマイコン部の各回路ブロックの検査については、不揮発性メモリ内蔵マイコン内部のアドレス発生回路からのアドレス信号が不揮発性メモリに逐次供給されることによりなされるため、外部から不揮発性メモリにアドレス信号を供給する必要がなくなる。従って、マイコン部の各回路ブロックの検査段階において、不揮発性メモリ内蔵マイコンに対して外部からアドレス信号を与えるための接続線は不要となり、このため、例えば多数の端子を有する検査装置によって同時に並行して検査できる不揮発性メモリ内蔵マイコンチップの数を増やすことができるようになるため総合的な検査時間の短縮が図れる。

【 0 2 7 6 】

また、前記メモリ制御手段は、前記アドレス発生回路を制御するための制御データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、前記アドレス発生回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である制御データに基づく制御信号とを当該不揮発性メモリに出力させ、前記アドレス発生回路は、カウンタと、一定周期で前記カウンタの内容値を1ずつ増加させつつ当該カウンタの内容値に応じたアドレス信号を逐次出力するカウント手段と、前記不揮発性メモリから出力される制御信号を取得し当該制御信号に基づいて、前記カウンタの内容値を保持し或いは当該保持した値を前記カウンタの内容値として設定するカウンタ制御手段とを有してもよい。

【 0 2 7 7 】

これにより、不揮発性メモリに検査データとともに記録される制御データによって、不揮発性メモリに与えるアドレスを変化させることができ、不揮発性メモリから出力される検査データの順を変化させることができるため、特定の検査デ

ータを繰り返し出力させる等、制御データを用いることにより、少ない検査データで多くの検査を行うことができるようになる。なお、不揮発性メモリの容量は有限であり、不揮発性メモリへの検査データの記録には時間を要するので、不揮発性メモリへの検査データの記録回数を抑えて、少ない検査データでより多くの検査が行えることは、検査時間を短縮し得る等の効果に繋がる。

【 0 2 7 8 】

また、前記メモリ制御手段は、一群の検査データの終端を示す終了データをも含む検査データ群を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに検査データを記録し、前記アドレス発生回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号を当該不揮発性メモリに出力させ、前記アドレス発生回路は、カウンタと、一定周期で前記カウンタの内容値を1ずつ増加させつつ当該カウンタの内容値に応じたアドレス信号を逐次出力するカウント手段と、各検査データ群の不揮発性メモリ内における各先頭アドレスを、メモリ内蔵マイクロコンピュータチップの外部から伝えられ保持する検査データ群アドレス記憶手段と、前記不揮発性メモリから出力される検査信号のうち終了データに基づくものである終了信号を得ると、検査データ群アドレス記憶手段により保持されている1つの先頭アドレスを前記カウンタの内容値として設定するカウンタ制御手段とを有してもよい。

【 0 2 7 9 】

これにより、不揮発性メモリに、検査対象となる回路ブロック別等に区分した検査データ群を複数格納した後において、外部から検査データ群を選択するための各先頭アドレスを与えるだけで、特定の検査データ群を用いた検査を行うことができるようになる。

また、前記メモリ制御手段は、一群の検査データの終端を示す終了データをも含む検査データ群を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに検査データを記録し、前記アドレス発生回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号を当該不揮発性メ

メモリに出力させ、前記アドレス発生回路は、制御フラグ値とアドレス値との組をメモリ内蔵マイクロコンピュータチップの外部から順次伝えられるとその順に各組を保持するアドレス記憶手段を有し、前記アドレス発生回路は、前記アドレス記憶手段により保持されている未着目のアドレス値のうち先頭のものに着目し、着目したアドレス値を示すアドレス信号を出力する手順を実行し、更に、着目したアドレス値と組をなす制御フラグ値が第 1 値である場合には、次に不揮発性メモリから終了データに基づくものである終了信号が出力されるまでの間、当該着目したアドレス値から一定周期毎に 1 ずつ増加したアドレス値を示すアドレス信号を出力し、着目したアドレス値と組をなす制御フラグ値が第 2 値である場合には、一定周期後に再度前記手順を実行し、着目したアドレス値と組をなす制御フラグ値が第 3 値である場合には、次にメモリ内蔵マイクロコンピュータチップの外部から解除信号を受けるまでの間、既に出力したアドレス信号を継続して出力してもよい。

【 0 2 8 0 】

これにより、検査データを読み出して出力させるために不揮発性メモリに与えるアドレス信号の発生を、外部から制御して、例えば特定アドレス信号を継続して発生させて、検査対象の回路に特定状態を保持させることができるようになる。

また、前記メモリ制御手段は、一定周期で逐次 1 ずつ増加して発生するアドレス信号を入力すると当該アドレス信号に所定の補正を施した結果としてのアドレス信号を逐次出力するアドレス補正回路を有し、前記メモリ制御手段は、前記アドレス補正回路により出力されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容である検査データに基づく検査信号を前記不揮発性メモリに出力させ、前記アドレス補正回路は、繰返開始アドレス値、繰返終了アドレス値及び繰返回数を保持し、入力されるアドレス信号が示すアドレス値が当該繰返開始アドレス値と一致した時から一定周期で当該繰返開始アドレス値から当該繰返終了アドレス値までを順次示すアドレス信号を当該繰返回数分だけ出力してもよい。

【 0 2 8 1 】

これにより、特定の検査データを繰り返し不揮発性メモリに出力させることができ、同一検査データを省略することができるようになる。

また、前記メモリ制御手段は、前記検査データに基づいてマイクロコンピュータ部内の回路ブロックの駆動が正常に行えた場合における駆動結果の期待値を示す期待値データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である期待値データに基づく期待値信号とを当該不揮発性メモリに出力させ、前記各組における検査データと期待値データとのビット数の配分は、検査データの内容に応じて異なり、前記駆動手段は、不揮発性メモリから逐次出力される検査信号に加えて期待値信号の少なくとも一部を含む混合信号に基づく信号を前記ポートに伝え、前記ポートは、前記駆動手段により伝達される信号の内容に応じて、当該信号から検査信号に基づく部分を抽出して前記マイクロコンピュータ部内の該当回路ブロックに伝えてもよい。

【 0 2 8 2 】

これにより、マイコン部内の回路ブロック毎に、必要な検査信号のデータ量が異なっている場合にも対応して検査を行うことができるようになる。

また、前記駆動手段は、不揮発性メモリ内蔵マイクロコンピュータチップの外部から印加される入力信号基準電圧に基づいて前記検査信号を整形して、整形結果の信号を、前記ポートを介して前記マイクロコンピュータ部内の回路ブロックに伝達し、前記出力手段は、不揮発性メモリ内蔵マイクロコンピュータチップの外部から印加される比較基準電圧に基づいて前記ポートを介して受け取った検査結果信号を整形して、整形結果の信号を、不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力してもよい。

【 0 2 8 3 】

これにより、マイコン部の各回路ブロックを駆動するために必要な電圧に合わせて検査信号を送って検査することが可能になり、また、マイコン部の各回路ブ

ロックからの検査結果の各ビット値が1であるか0であることを適切に切り分けることが可能になる。

また、前記駆動手段は、前記マイクロコンピュータ部内の回路ブロックそれぞれと独立した接続線で接続されており、該当の接続線を介して前記検査信号に基づく信号を1又は複数の前記回路ブロックに伝達し、前記出力手段は、前記マイクロコンピュータ部内の各回路ブロックの駆動結果としての検査結果信号を該当の接続線を介して受け取り当該検査結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力してもよい。

【 0 2 8 4 】

これにより、マイコン部の各回路ブロックに個別直接的に検査用の信号を与えて検査を行うことができるため、ポートを通じての検査よりも多様な検査が可能になり得る。

また、前記メモリ制御手段は、前記検査データを、メモリ内蔵マイクロコンピュータチップの外部から取得して前記不揮発性メモリの各アドレスに記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容である検査データに基づく検査信号を当該不揮発性メモリに出力させ、前記メモリ部は更に、メモリ内蔵マイクロコンピュータチップの外部から逐次供給される前記アドレス信号に基づき、マイクロコンピュータ部内の検査対象となる回路ブロックを特定する検査対象特定回路を有し、前記駆動手段は、前記検査信号に基づく信号を前記検査対象特定回路により特定された回路ブロックに該当の接続線を介して伝達し、前記出力手段は、前記検査対象特定回路により特定された回路ブロックからの検査結果信号を該当の接続線を介して受け取り当該検査結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力してもよい。

【 0 2 8 5 】

これにより、検査データの検査対象となる各回路ブロックを任意に選択して、その回路ブロックに直接的に検査用の信号を与えて検査を行うことができるようになる。

また、前記メモリ制御手段は、マイクロコンピュータ部内の回路ブロックのう

ち前記検査データによる検査の対象となる回路ブロックを特定するための回路選択情報と前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である回路選択情報に基づくセレクト信号とを当該不揮発性メモリに出力させ、前記駆動手段は、前記不揮発性メモリから出力された前記セレクト信号に基づき検査の対象となる回路ブロックを特定し、当該セレクト信号とともに前記不揮発性メモリから出力された前記検査信号に基づく信号を、当該特定された回路ブロックに該当の接続線を介して伝達してもよい。

【 0 2 8 6 】

これにより、検査データと回路選択情報（セレクト信号）とを対応付けて不揮発性メモリに格納すれば、検査データの検査対象となる各回路ブロックをポートを介することなく直接的に検査することができるようになる。

また、前記メモリ制御手段は、複数の不揮発性メモリを含み、マイクロコンピュータ部内の各回路ブロックを駆動して検査を行うための複数の検査データを不揮発性メモリ内蔵マイクロコンピュータチップの外部から取得して各不揮発性メモリに記録した後、各検査データに基づく検査信号を各不揮発性メモリに逐次出力させ、前記メモリ制御手段は、前記検査信号を各不揮発性メモリに逐次出力させるに際して、各不揮発性メモリが、同一の回路ブロックについての検査を行うための検査データに基づく検査信号を同時に出力しないように各不揮発性メモリを制御し、前記駆動手段は、各不揮発性メモリから逐次出力される検査信号を取得し、各検査信号に基づく各信号を該当の各回路ブロックに伝達してもよい。

【 0 2 8 7 】

これにより、複数の不揮発性メモリそれぞれに格納された検査データによって、並行的にマイコン部の各回路ブロックを検査することができるようになり、検査時間の短縮化が図れる。

また、前記マイクロコンピュータ部は、CPUを有し、前記不揮発性メモリは

、発振回路を有し、前記不揮発性メモリ内蔵マイクロコンピュータチップは、前記発振回路の発振により生じるクロック信号と、当該不揮発性メモリ内蔵マイクロコンピュータチップの外部から入力されるクロック信号とのいずれかを選択的に当該CPUに供給する選択回路を備えてもよい。

【0288】

これにより、不揮発性メモリ内の発振回路によるクロック信号と、外部の水晶発振回路によるクロック信号とを切り換えてCPUに供給して検査を行うことができるようになり、特定のクロック周期での検査が実現できるようになる。なお、この発振回路としては、一般に不揮発性メモリの電源供給のために用いられる発振回路が活用できる。

【0289】

また、前記メモリ制御手段は、前記選択回路にいずれのクロック信号を選択させるかを指定する選択データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップの外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容の一部である検査データに基づく検査信号と、当該アドレスのメモリ内容の一部である選択データに基づく選択信号とを当該不揮発性メモリに出力させ、前記選択回路は、前記不揮発性メモリから出力される選択信号に基づいてCPUに供給するクロック信号を選択してもよい。

【0290】

これにより、不揮発性メモリに記録する内容によって、クロック信号の選択を行うことができるようになり、例えば、ある回路ブロックの検査を不揮発性メモリ内の発振回路により低速のクロック信号を与えた状態で行うことを容易に指定できるようになる。

また、前記不揮発性メモリにおける前記発振回路は、入力される信号に応じて複数の予め定まっている発振周期のいずれかで発振してクロック信号を発生し、前記メモリ制御手段は、前記発振回路による発振周期を選択するための発振周期選択データと前記検査データとの組を、メモリ内蔵マイクロコンピュータチップ

の外部から複数取得し、前記不揮発性メモリの各アドレスに当該各組を記録し、メモリ内蔵マイクロコンピュータチップの外部から逐次供給されるアドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリセル内容の一部である検査データに基づく検査信号を当該不揮発性メモリに出力させるとともに、当該アドレスのメモリセル内容の一部である発振周期選択データを当該メモリセルから読み出して当該発振周期選択データに基づく信号を前記発振回路に入力するよう当該不揮発性メモリを制御してもよい。

【 0 2 9 1 】

これにより、複数のクロック周期のいずれかを選択しての検査が行えるため、実行速度を切り換えて各回路ブロックの動作品質を検査すること等ができるようになる。

また、前記出力手段は、前記不揮発性メモリから出力される検査信号によって定められる時間、前記検査結果信号に基づく前記信号を遅延させる遅延部を有し、当該遅延部により遅延された後の信号を出力してもよい。

【 0 2 9 2 】

これにより、検査結果信号に対して様々な遅延を与えることによって得られる遅延検査結果信号に基づいて各回路ブロックを良否判定できるので、微小なタイミングずれの検出に効果がある。さらに、タイミングずれを補償した検査信号が発せられるように、複数の検査対象チップのそれぞれについて、個別に遅延量を示す内容を不揮発性メモリに記録すれば、評価解析時における検査プログラムの調整が不要となり、評価治具の簡素化が図られる。

【 0 2 9 3 】

また、前記駆動手段は、前記不揮発性メモリから出力される検査信号によって定められる時間、前記回路ブロックに伝達されるべき信号を遅延させる遅延部を有し、当該遅延部により遅延された後の信号を前記回路ブロックに伝達してもよい。

これにより、検査信号に対して様々な遅延を与えることによって得られる遅延検査信号に基づいて各回路ブロックを良否判定できるので、検査信号（実使用における入力信号）に許容される遅延時間の上限を評価することが容易にできるよ

うになる。

【 0 2 9 4 】

また、前記不揮発性メモリ内蔵マイクロコンピュータチップは、さらに、前記不揮発性メモリに記録されている検査データにより指定される電圧の電源電力を、前記マイクロコンピュータ部へ供給する電源手段を有し、前記マイクロコンピュータ部は、当該電源電力により動作するように構成されてもよい。

これにより、マイクロコンピュータ部の各回路ブロックを様々な電源電圧により検査することが容易にできるようになる。

【 0 2 9 5 】

また、前記マイクロコンピュータ部は、前記回路ブロックの1つにD/A部を有し、当該D/A部は、前記駆動手段から伝達される信号により指定される電圧信号を出力し、前記マイクロコンピュータ部へ電源として供給するように構成されてもよい。

これにより、D/A部を電源手段として機能させるので、マイクロコンピュータ部の各回路ブロックを様々な電源電圧により検査することが、追加回路を設けることなく容易にできるようになる。

【 0 2 9 6 】

また、前記不揮発性メモリは、入力された電圧以上の電圧信号を出力可能な電源回路を有し、当該電源回路は、前記不揮発性メモリに記録されている検査データにより指定される電圧信号を出力し、前記マイクロコンピュータ部へ電源として供給するように構成されてもよい。

これにより、不揮発性メモリにおける電源回路を電源手段として機能させるので、マイクロコンピュータ部の各回路ブロックを様々な電源電圧により検査することが、追加回路を設けることなく容易にできるようになる。また、当該電源回路は昇圧回路を含んでいるので、外部から供給される電源電圧よりも高い電圧による検査が可能となる。

【 0 2 9 7 】

また、前記不揮発性メモリ内蔵マイクロコンピュータチップは、さらに、前記マイクロコンピュータ部へ供給される電源の電流が、前記不揮発性メモリに記録

されている検査データにより指定される量を超えているか否かを示す比較結果信号を出力する電流比較手段を有し、前記出力手段は、さらに、当該比較結果信号を受け取り当該比較結果信号に基づく信号を不揮発性メモリ内蔵マイクロコンピュータチップの外部に出力してもよい。

【 0 2 9 8 】

これにより、様々な電流規格に基づいてマイクロコンピュータ部の消費電流を検査することが容易にできるようになる。

また、前記不揮発性メモリは、センスアンプと、レジスタとを含み、当該レジスタは、前記不揮発性メモリに記録されている検査データを複製保持し、当該センスアンプは、マイクロコンピュータ部へ供給される電源の電流が、当該レジスタに複製保持されている検査データにより指定される量を超えているか否かを示す比較結果信号を出力するように構成されてもよい。

【 0 2 9 9 】

これにより、不揮発性メモリにおけるセンスアンプを電流比較手段として電流比較を行うので、様々な電流規格に基づいてマイクロコンピュータ部の消費電流を検査することが、追加回路を設けることなく容易にできるようになる。

また、前記メモリ制御手段は、さらに、検査において不良判定がなされたことを示す信号を取得し、当該信号が取得された時点の前記アドレス信号により示されるアドレスデータを、不良アドレスデータとして前記不揮発性メモリの所定のアドレスに記録してもよい。

【 0 3 0 0 】

これにより、不揮発性メモリに不良アドレスを書き込むことにより電源が一旦喪失しても回復後再びその不良アドレスを認識できるので、検査手順の自由度が高まり、もって不良解析作業の効率化が図られる。

また、前記マイクロコンピュータ部は、CPUを有し、前記メモリ制御手段は、さらに、当該CPUによって実行可能な解析用プログラムを、検査に先立って、メモリ内蔵マイクロコンピュータチップの外部から取得し、当該取得したプログラムを前記不揮発性メモリの所定の先頭アドレス以降に記録し、前記不良アドレスデータを記録した後、当該先頭アドレスからの実行開始を指示する制御信号

を当該CPUに供給し、当該CPUは、当該制御信号を受けて、前記解析用プログラムを実行してもよい。

【0301】

これにより、不揮発性メモリに不良アドレスを書き込むことにより電源が一旦喪失しても回復後再びその不良アドレスを認識できるので、検査手順の自由度が高まり、もって不良解析作業の効率化が図られると同時に、解析用プログラムを実行することによって不良状況の精密な解析が可能となる。

また、前記マイクロコンピュータ部は、CPUを有し、前記メモリ制御手段は、当該CPUへ無動作命令（NOP命令）を表すデータ信号を供給し、当該CPUは、当該データ信号を受けて、前記メモリ制御手段へアドレス信号を逐次供給し、前記メモリ制御手段は、当該アドレス信号に応じて、当該アドレス信号で示されるアドレスのメモリ内容である検査データに基づく検査信号を前記不揮発性メモリに出力させてもよい。

【0302】

これにより、外部からのアドレス信号の供給が不要となり外部のテスト装置との接続線数が削減されるので、同時に並行して検査できる不揮発性メモリ内蔵マイコンチップの数を増やすことができ、もって総合的な検査時間の短縮を図ることができる。

また、本発明に係る検査方法は、マイクロコンピュータ部と不揮発性メモリ部とを含んで構成される半導体チップを、当該不揮発性メモリ部に記録された検査データを用いて検査する検査方法であって、第1の検査データを当該不揮発性メモリ部に記録した後、当該第1の検査データを用いて当該マイクロコンピュータ部を検査する第1検査ステップと、当該検査において不良と判断された場合に、当該不揮発性メモリ部の内容を第2の検査データに書き換え、その後、当該第2の検査データを用いて当該マイクロコンピュータ部を検査する第2検査ステップとを含む。

【0303】

これにより、不揮発性メモリから検査用データを供給することによって、基本的にメモリテスターがあれば不揮発性メモリ内蔵マイコンの検査が可能となるの

で、検査コストの低減に寄与する。不揮発性メモリが、例えば単一の検査規格についての検査用データに対応する記憶容量しか持たない場合であっても、複数の検査規格それぞれについての検査用データを、外部から順次ロードして検査を実施するので、検査規格ごとのランク分けが可能となる。

【 0 3 0 4 】

また、本発明の検査方法は、それぞれがマイクロコンピュータ部と不揮発性メモリ部とを含んで構成される複数の半導体チップを、自身の不揮発性メモリ部に記録された個々の検査項目に対応する検査データを用いて、複数の検査項目について検査する検査方法であって、各検査項目について、対応する検査用データを前記不揮発性メモリ部に記録した後、当該記録された検査データを用いて行うマイクロコンピュータ部の検査を、前記複数の半導体チップのうちの所定数について実施する第 1 検査ステップと、当該第 1 検査ステップにおける検査結果に応じて、各検査項目について全数検査を行うか否かを決定する決定ステップと、全数検査を行うと決定された検査項目についてのみ、対応する検査データを前記不揮発性メモリ部に記録した後、当該記録された検査データを用いて行うマイクロコンピュータ部の検査を、前記複数の半導体チップの全てについて実施する第 2 検査ステップとを含む。

【 0 3 0 5 】

これにより、第 1 検査ステップにおける抜き取り検査の結果に応じて、不良発生率が低いと判断された検査項目について、第 2 検査ステップにおける全検査を省略するので、検査時間の短縮を図ることができる。このような検査をウェハから各検査サンプルを切り分ける前に実施し、パッケージング後に改めて全検査を行うように運用すれば、ウェハ段階での検査時間を短縮できると共に、製品品質も損なわれない。

【 0 3 0 6 】

また、本発明の検査方法は、それぞれがマイクロコンピュータ部と不揮発性メモリ部とを含んで構成される第 1 及び第 2 の半導体チップを、それぞれの不揮発性メモリ部に記録されている検査データを用いて検査する検査方法であって、当該第 1 及び第 2 の半導体チップは、当該第 1 の半導体チップにおける不揮発性メ

メモリ部に記録されている第 1 の検査データを、第 2 の半導体チップへ供給可能に接続されており、当該第 1 の検査データを第 2 の半導体チップへ供給する供給ステップと、供給された当該第 1 の検査データを用いて、当該第 2 の半導体チップにおけるマイクロコンピュータ部を検査する検査ステップと、当該第 2 の半導体チップにおける不揮発性メモリ部に記録されている第 2 の検査データを用いて、当該第 2 の半導体チップにおけるマイクロコンピュータ部を検査する検査ステップとを含む。

【 0 3 0 7 】

これにより、検査用データの規模が単一の不揮発性メモリの容量を越える場合に、当該第 1 及び第 2 の半導体チップにおける不揮発性メモリに、それぞれ第 1 及び第 2 の検査データとして分割格納した後、当該第 1 及び第 2 の検査データを用いて当該第 2 の半導体チップを検査することができるので、不揮発性メモリにおいて検査用データを書き換えることなく大規模な検査が実施可能となり、もって検査時間の短縮を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 2】

不揮発性メモリ 1 4 1 の構成図である。

【図 3】

マイコン部の検査に際して不揮発性メモリセルに格納される検査用データを示した図である。

【図 4】

不揮発性メモリ内蔵マイコン 1 1 0 のマイコン部 1 3 0 の検査時に生じる主な信号の関係を示した図である。

【図 5】

マイコン部 1 3 0 の検査時における各信号のタイミングチャートである。

【図 6】

本発明の実施の形態 2 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 7】

メモリテスターにより同時に検査できる不揮発性メモリ内蔵マイコンの数を対比した図である。

【図 8】

本発明の実施の形態 3 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 9】

実施の形態 3 におけるアドレス発生回路 4 4 1 の構成図である。

【図 1 0】

実施の形態 3 において不揮発性メモリ 1 4 1 に格納される検査用データ及び制御信号列を示した図である。

【図 1 1】

アドレス発生回路 4 4 1 において生じる主な信号の変化を示したタイミングチャートである。

【図 1 2】

本発明の実施の形態 4 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 1 3】

実施の形態 4 におけるアドレス発生回路 8 4 1 の構成図である。

【図 1 4】

実施の形態 4 において不揮発性メモリセル 1 4 1 a に格納される検査用データの例を示す図である。

【図 1 5】

実施の形態 5 におけるアドレス発生回路 1 4 4 の構成図である。

【図 1 6】

本発明の実施の形態 6 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 1 7】

実施の形態 6 に係るアドレス補正回路 1 4 0 0 の構成図である。

【図 1 8】

本発明の実施の形態 7 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 1 9】

マイコン部 2 2 3 0 の検査前に不揮発性メモリ 1 4 1 の内部に格納されているべき検査用データの内容例を示す図である。

【図 2 0】

本発明の実施の形態 8 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 2 1】

A / D 3 5 3 6 及び D / A 3 5 3 7 の構成図である。

【図 2 2】

本発明の実施の形態 9 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 2 3】

A / D 3 6 3 6、D / A 3 6 3 7 及びタイマ 3 6 3 3 とセレクト回路 3 6 0 2 との接続関係を示した図である。

【図 2 4】

本発明の実施の形態 1 0 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 2 5】

本発明の実施の形態 1 1 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 2 6】

各不揮発性メモリ内の検査用データに基づく検査対象の遷移とアドレス制御回路によるアドレスのカウントアップの停止及び再開との関係を時系列に示すタイミング図である。

【図 2 7】

本発明の実施の形態 1 2 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 2 8】

不揮発性メモリ 1 9 4 1 の構成図である。

【図 2 9】

不揮発性メモリ 1 9 4 1 内の発振回路 (OSC) 2 0 0 8 の構成図である。

【図 3 0】

マイコン部 1 9 3 0 の検査前に不揮発性メモリ 1 9 4 1 に格納されるデータの構成例を示す図である。

【図 3 1】

水晶発振子から出力されるクロック信号と、不揮発性メモリから出力されるクロック信号とを示した図である。

【図 3 2】

本発明の実施の形態 1 3 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 3 3】

実施の形態 1 3 において不揮発性メモリ 2 9 4 1 に格納される検査用データの例を示す図である。

【図 3 4】

本発明の実施の形態 1 4 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 3 5】

不揮発性メモリ 1 7 4 1 の構成図である。

【図 3 6】

不揮発性メモリ 1 7 4 1 内の発振回路 (OSC) 2 0 2 8 の構成図である。

【図 3 7】

TR 信号の値と、不揮発性メモリから出力されるクロック信号とを対応付けて示した図である。

【図 3 8】

マイコン部 1 9 3 0 の検査前に不揮発性メモリ 1 7 4 1 に格納されるデータの構成例を示す図である。

【図 3 9】

本発明の実施の形態 1 5 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 4 0】

プログラマブル遅延回路 1 1 4 4 の構成図である。

【図 4 1】

実施の形態 1 5 において不揮発性メモリ 1 1 4 1 に格納されるデータの例を示す図である。

【図 4 2】

実施の形態 1 5 における検査に関与する主な信号の生起関係を示したタイミングチャートである。

【図 4 3】

本発明の実施の形態 1 6 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 4 4】

プログラマブル遅延回路 2 1 4 4 の構成図である。

【図 4 5】

実施の形態 1 6 において不揮発性メモリ 2 1 4 1 に格納されるデータの例を示す図である。

【図 4 6】

実施の形態 1 6 における検査に関与する主な信号の生起関係を示したタイミングチャートである。

【図 4 7】

本発明の実施の形態 1 7 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 4 8】

実施の形態 1 7 において不揮発性メモリ 1 4 1 に格納されるデータの例を示す図である。

【図 4 9】

本発明の実施の形態 1 8 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 5 0】

不揮発性メモリ 2 8 4 1 の構成図である。

【図 5 1】

本発明の実施の形態 1 9 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 5 2】

センスアンプ 3 1 4 9 の構成図である。

【図 5 3】

実施の形態 1 9 において不揮発性メモリ 3 1 4 1 に格納されるデータの例を示す図である。

【図 5 4】

本発明の実施の形態 2 0 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 5 5】

(A) マイコン部 1 3 0 の検査前に不揮発性メモリ 2 4 4 1 に格納されるべき検査用データの例を示す図である。

(B) 当該検査後の不揮発性メモリ 2 4 4 1 の内容例を示す図である。

【図 5 6】

実施の形態 2 0 に係る検査の手順を示したフローチャートである。

【図 5 7】

本発明の実施の形態 2 1 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 5 8】

(A) マイコン部 2 6 3 0 の検査前に不揮発性メモリ 2 6 4 1 に格納されるべき検査用データの例を示す図である。

(B) 当該検査後の不揮発性メモリ 2 6 4 1 の内容例を示す図である。

【図 5 9】

実施の形態 2 1 に係る検査の手順を示したフローチャートである。

【図 6 0】

本発明の実施の形態 2 2 に係る検査方法を実施するための検査環境の構成図である。

【図 6 1】

実施の形態 2 2 において外部メモリ 1 1 2 1 に格納されているデータの例を示す図である。

【図 6 2】

実施の形態 2 2 に係る検査の手順を示したフローチャートである。

【図 6 3】

本発明の実施の形態 2 3 に係る検査方法を実施するための検査環境の構成図である。

【図 6 4】

実施の形態 2 3 において外部メモリ 1 1 2 1 に格納されているデータの内容例を示す図である。

【図 6 5】

実施の形態 2 3 に係る検査の手順の前半部を示すフローチャートである。

【図 6 6】

実施の形態 2 3 に係る検査の手順の後半部を示すフローチャートである。

【図 6 7】

本発明の実施の形態 2 3 に係る検査方法を実施するための検査環境の構成図である。

【図 6 8】

(A) 不揮発性メモリ 4 6 4 1 に格納されるデータの例を示す図である。

(B) 不揮発性メモリ 4 7 4 1 に格納されるデータの例を示す図である。

【図 6 9】

実施の形態 2 4 に係る検査の手順を示したフローチャートである。

【図 7 0】

本発明の実施の形態 2 5 に係る不揮発性メモリ内蔵マイコンの構成図である。

【図 7 1】

メモリ I / F 4 2 4 3 の特徴部分を示した構成図である。

【図 7 2】

従来の不揮発メモリ内蔵マイコン、メモリテスター及びロジックテスターの概略構成図である。

【符号の説明】

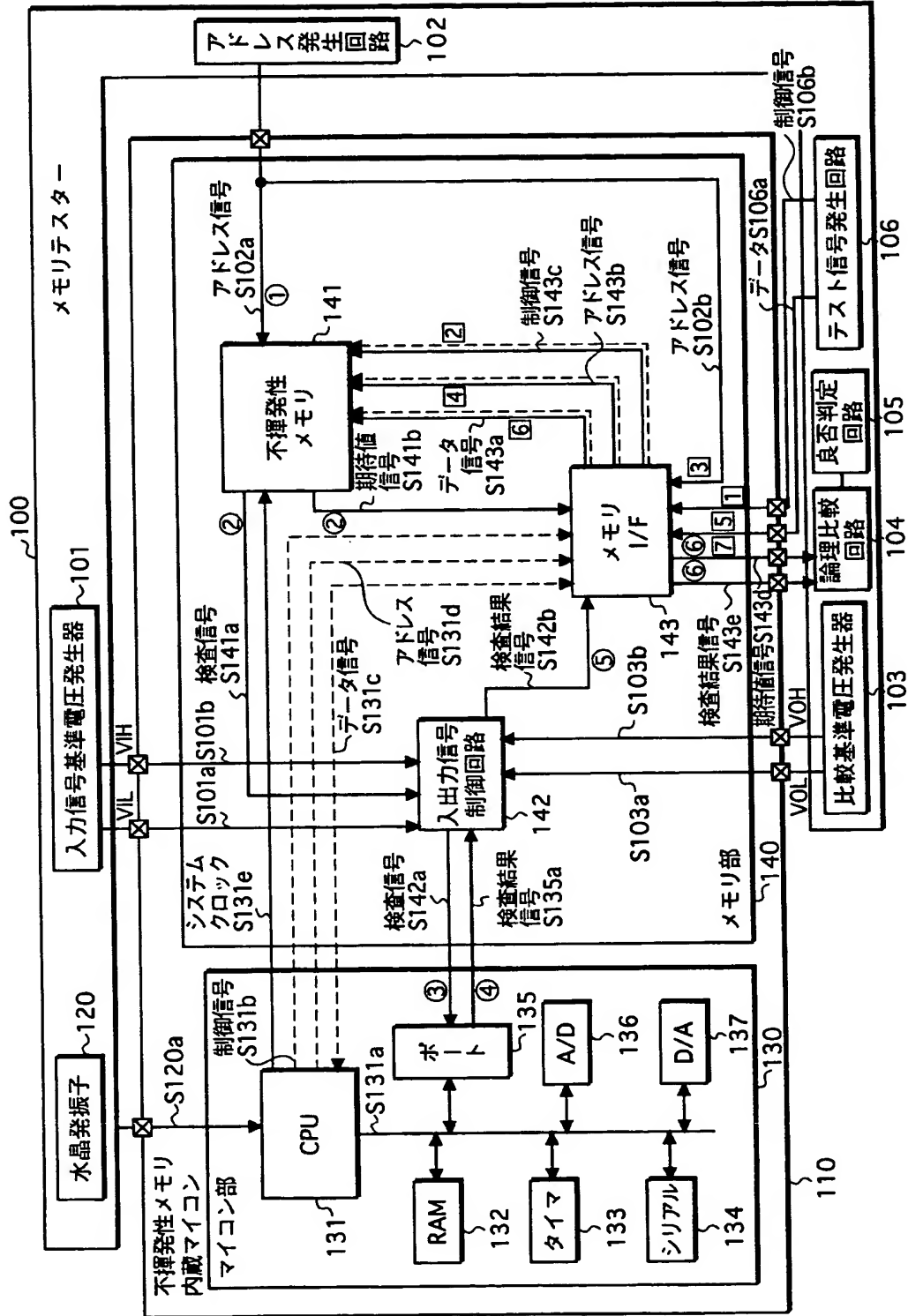
1 0 0	メモリテスター
1 0 1	入力信号基準電圧発生器
1 0 2	アドレス発生回路
1 0 3	比較基準電圧発生器
1 0 4	論理比較回路
1 0 5	良否判定回路
1 0 6	テスト信号発生回路
1 1 0	不揮発性メモリ内蔵マイコン
1 2 0	水晶発振子
1 3 0	マイコン部
1 3 1	C P U

1 3 2	R A M
1 3 3	タイマ
1 3 4	シリアル
1 3 5	ポート
1 3 6	A / D
1 3 7	D / A
1 4 0	メモリ部
1 4 1	不揮発性メモリ
1 4 1 a	不揮発性メモリセル
1 4 1 b	センスアンプ回路
1 4 1 c	コントロール回路
1 4 2	入出力信号制御回路
1 4 3	メモリインタフェース (メモリ I / F)
1 4 4	アドレス発生回路

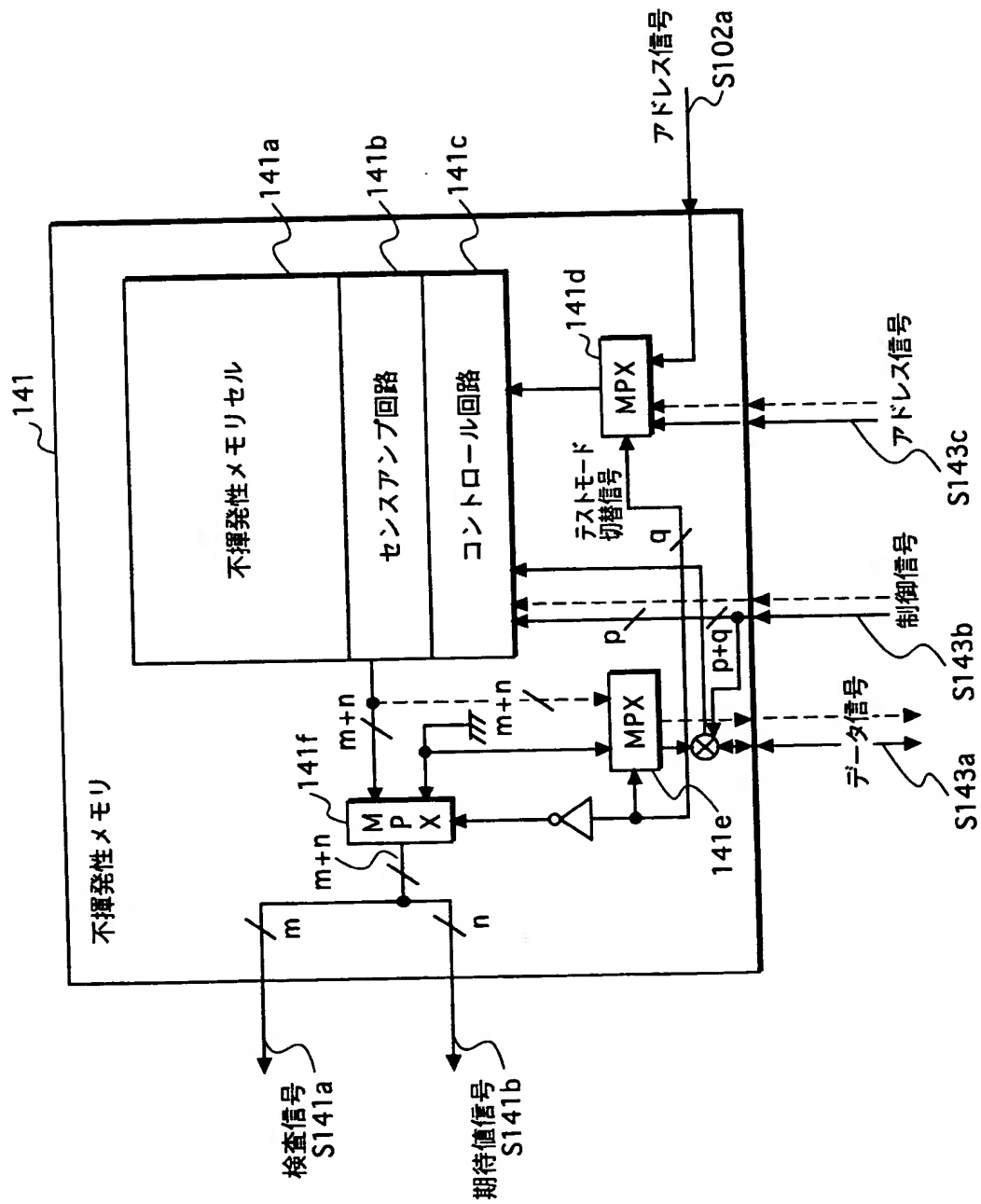
【書類名】

図面

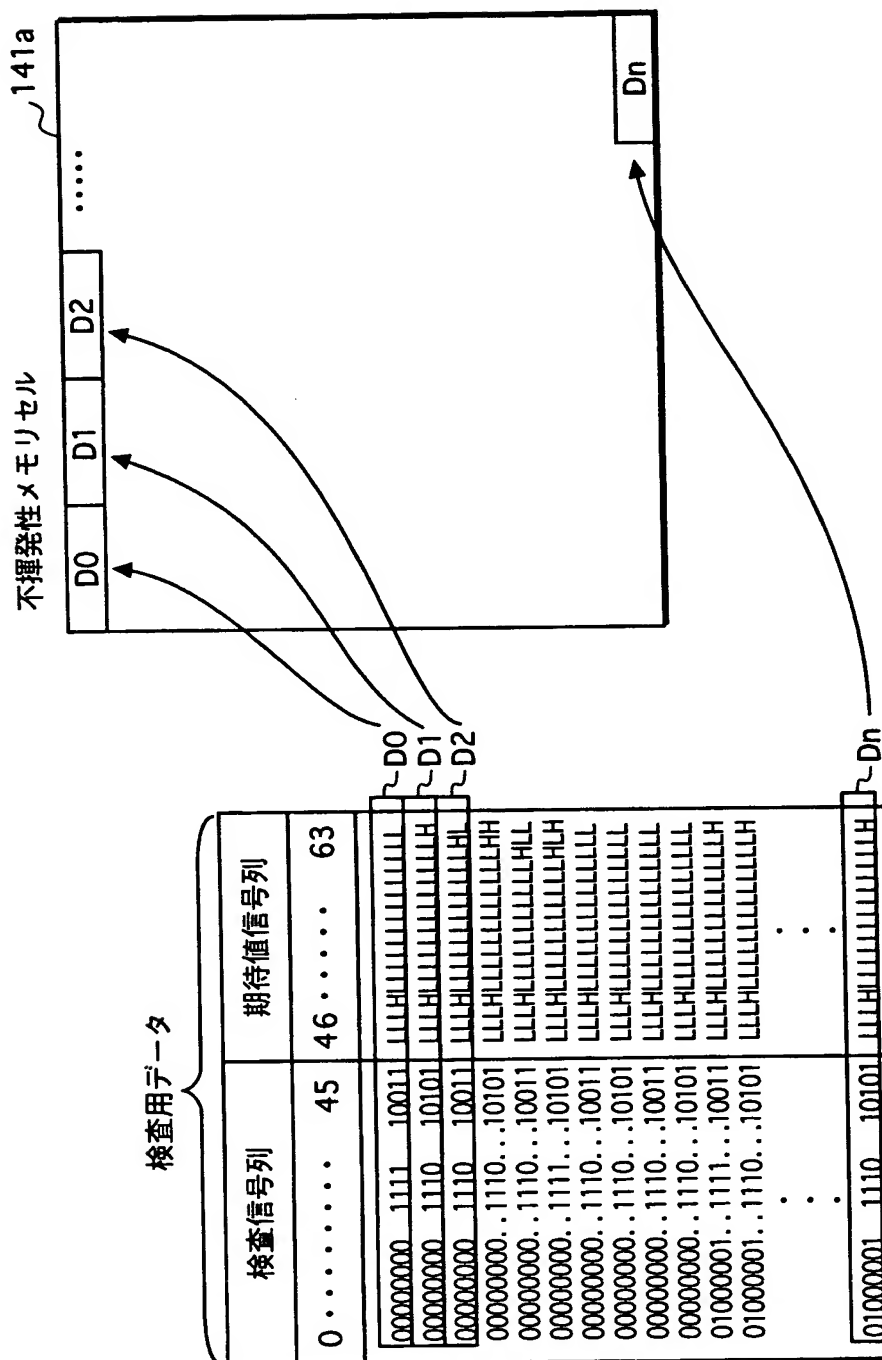
【図 1】



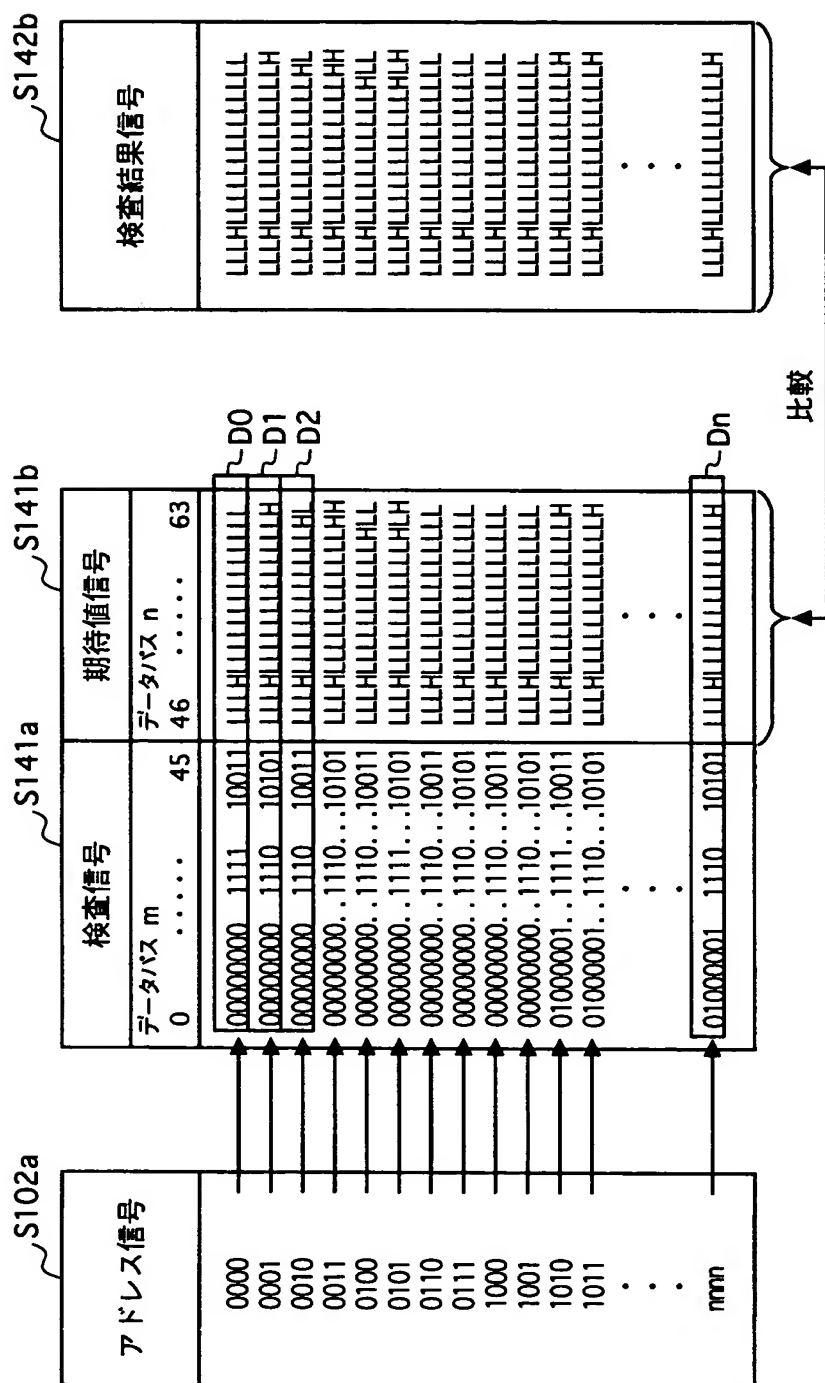
【図2】



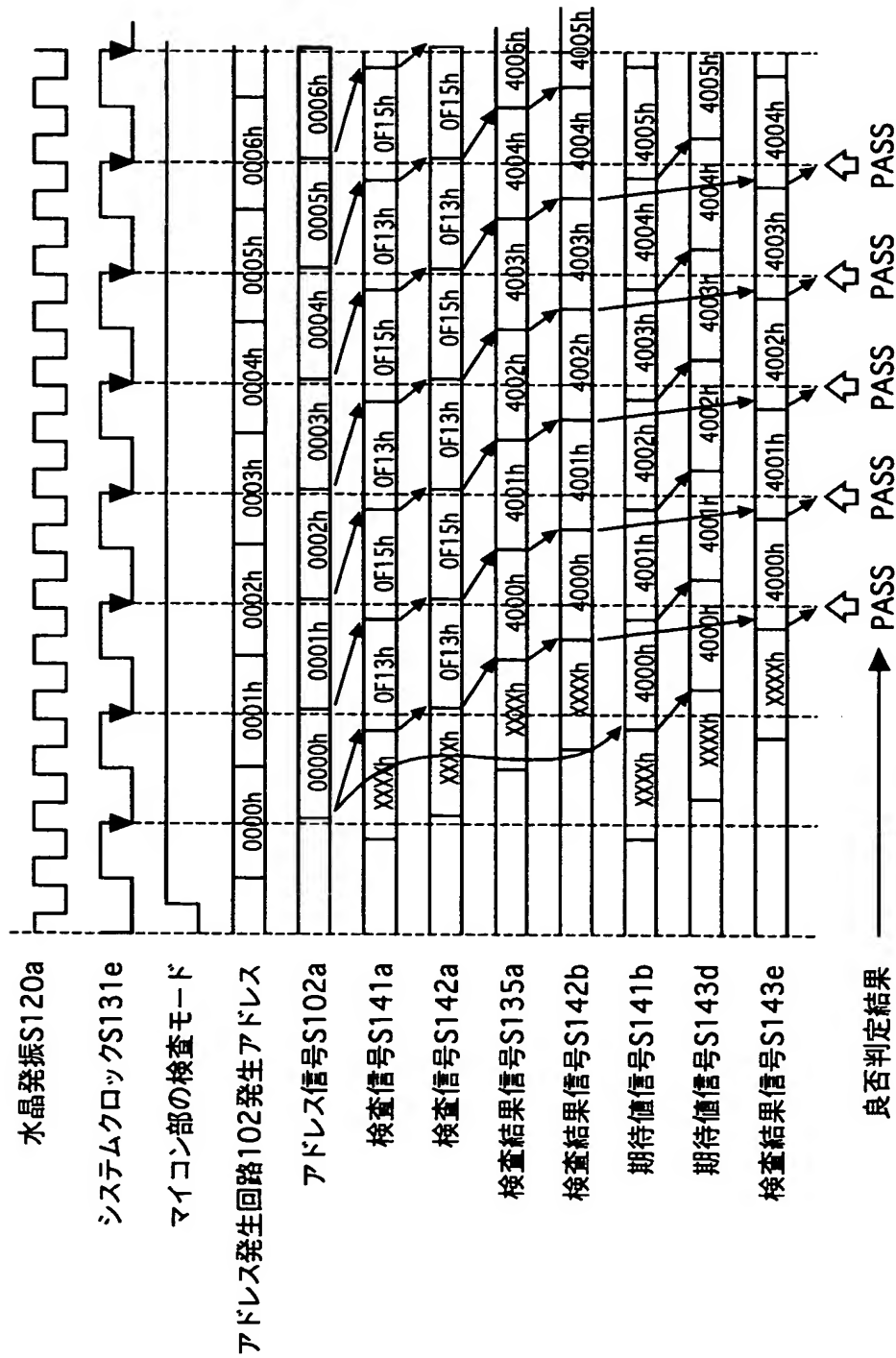
【図 3】



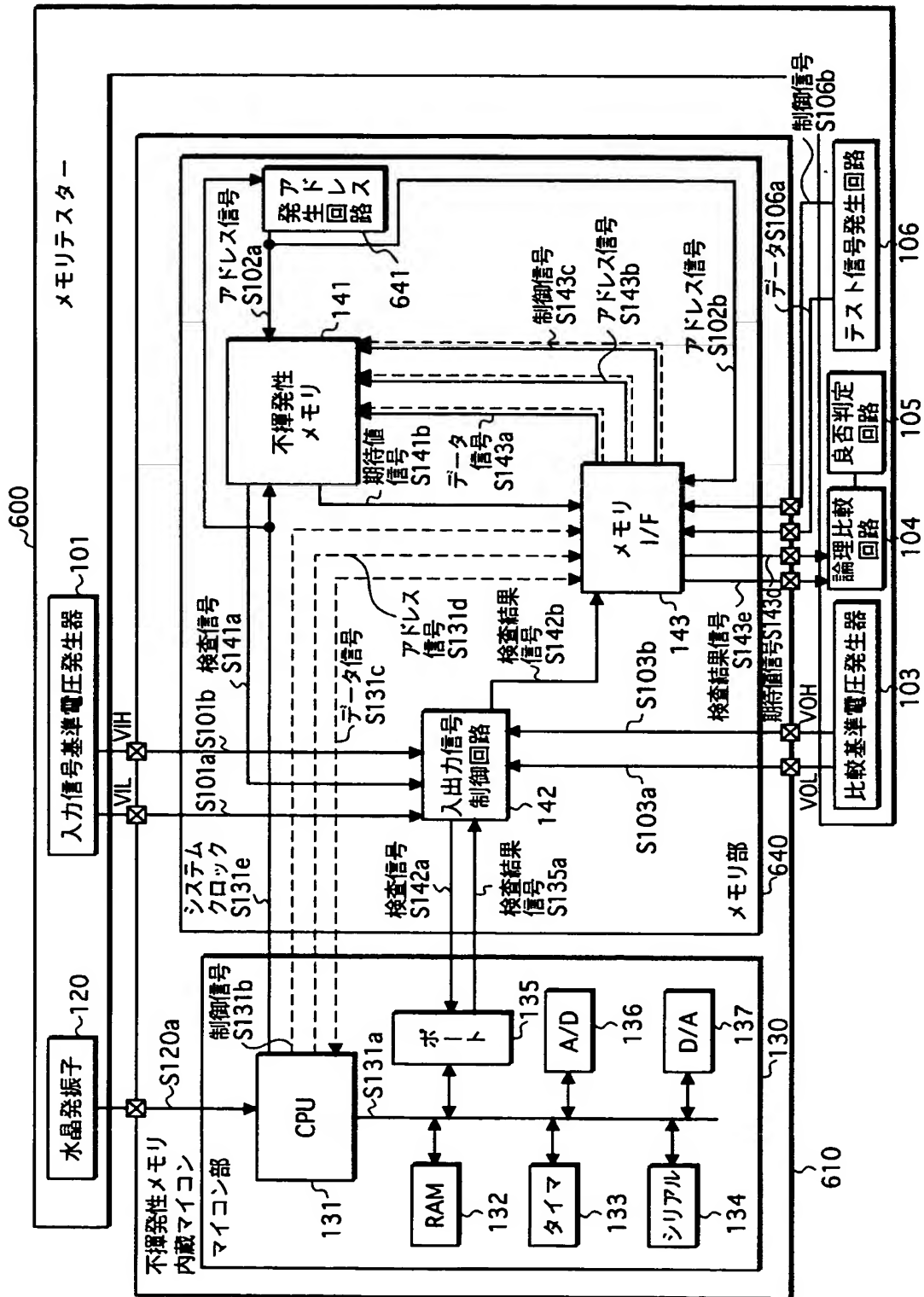
【図 4】



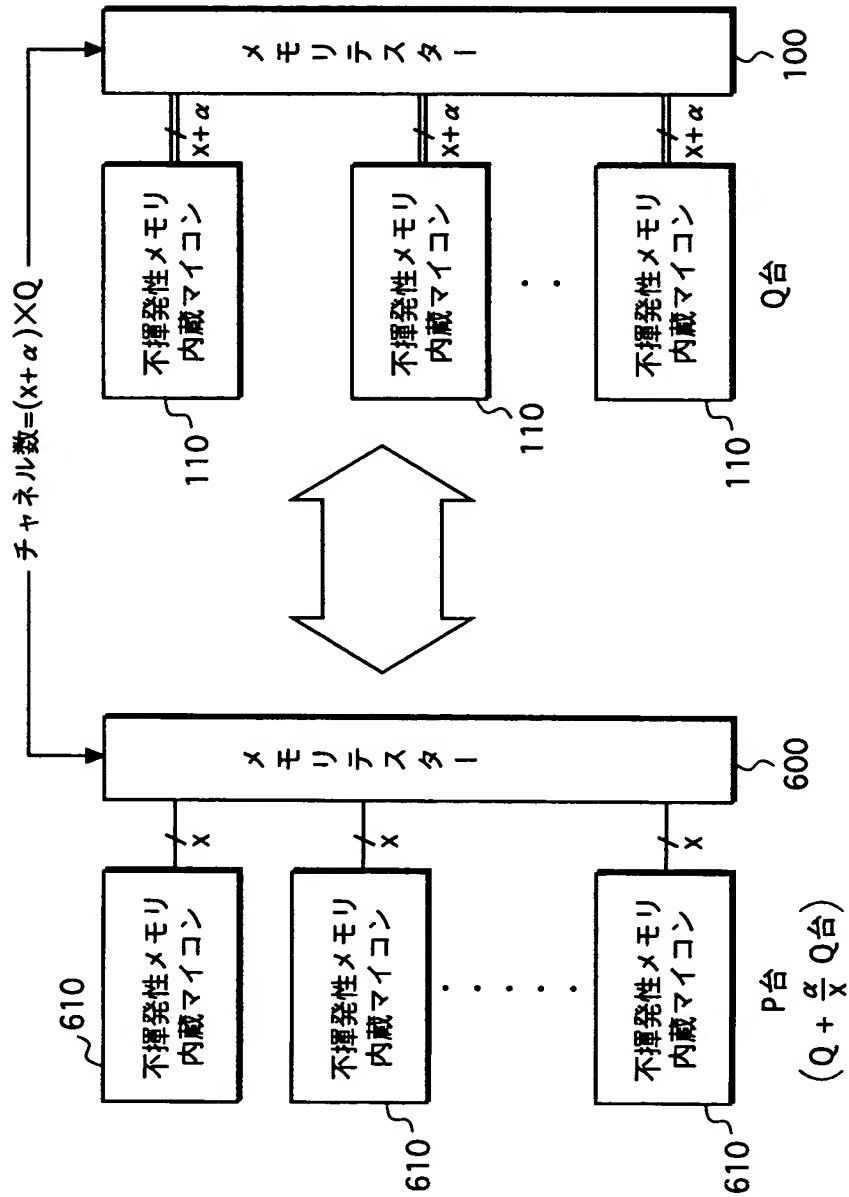
【図 5】



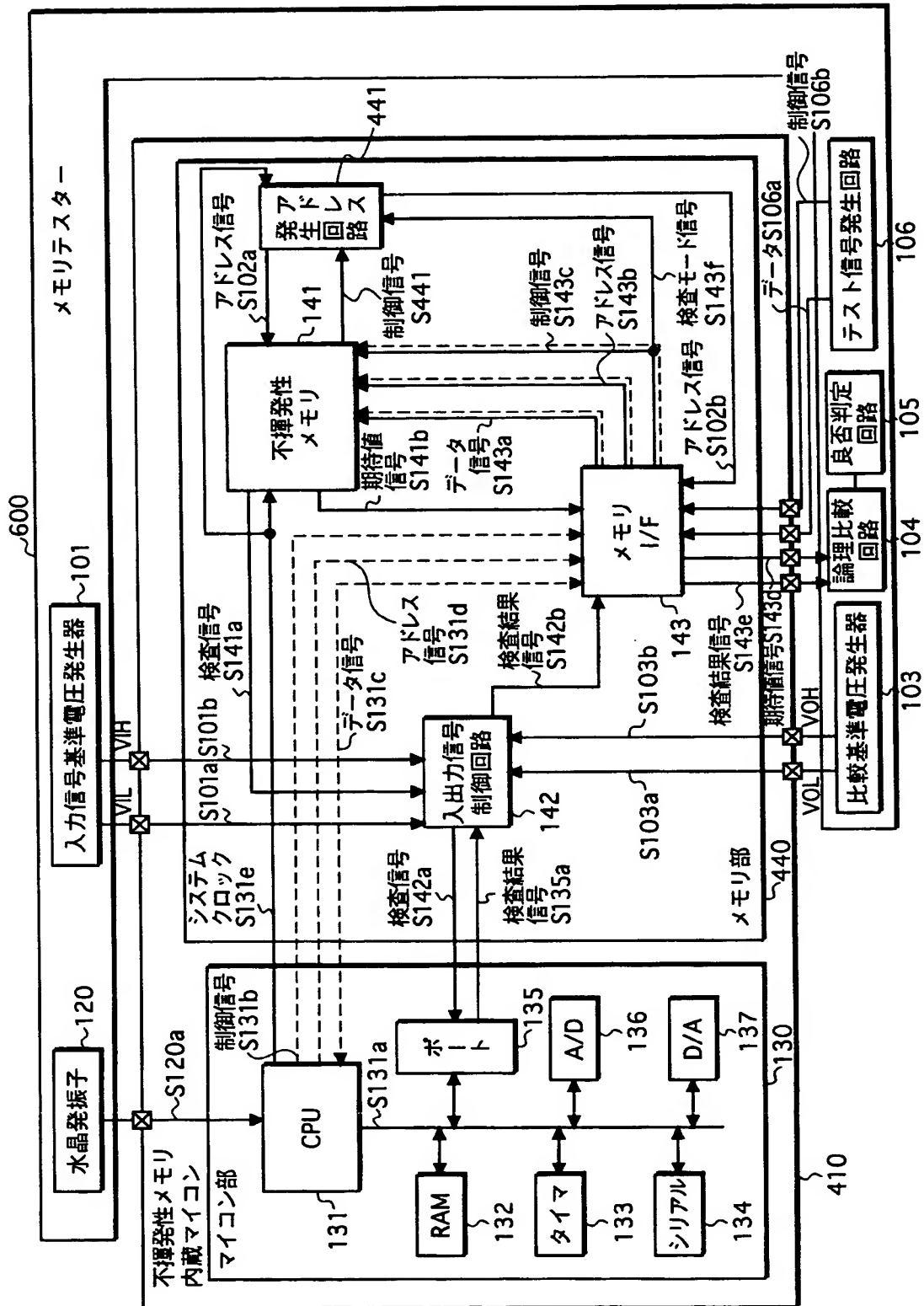
【図 6】



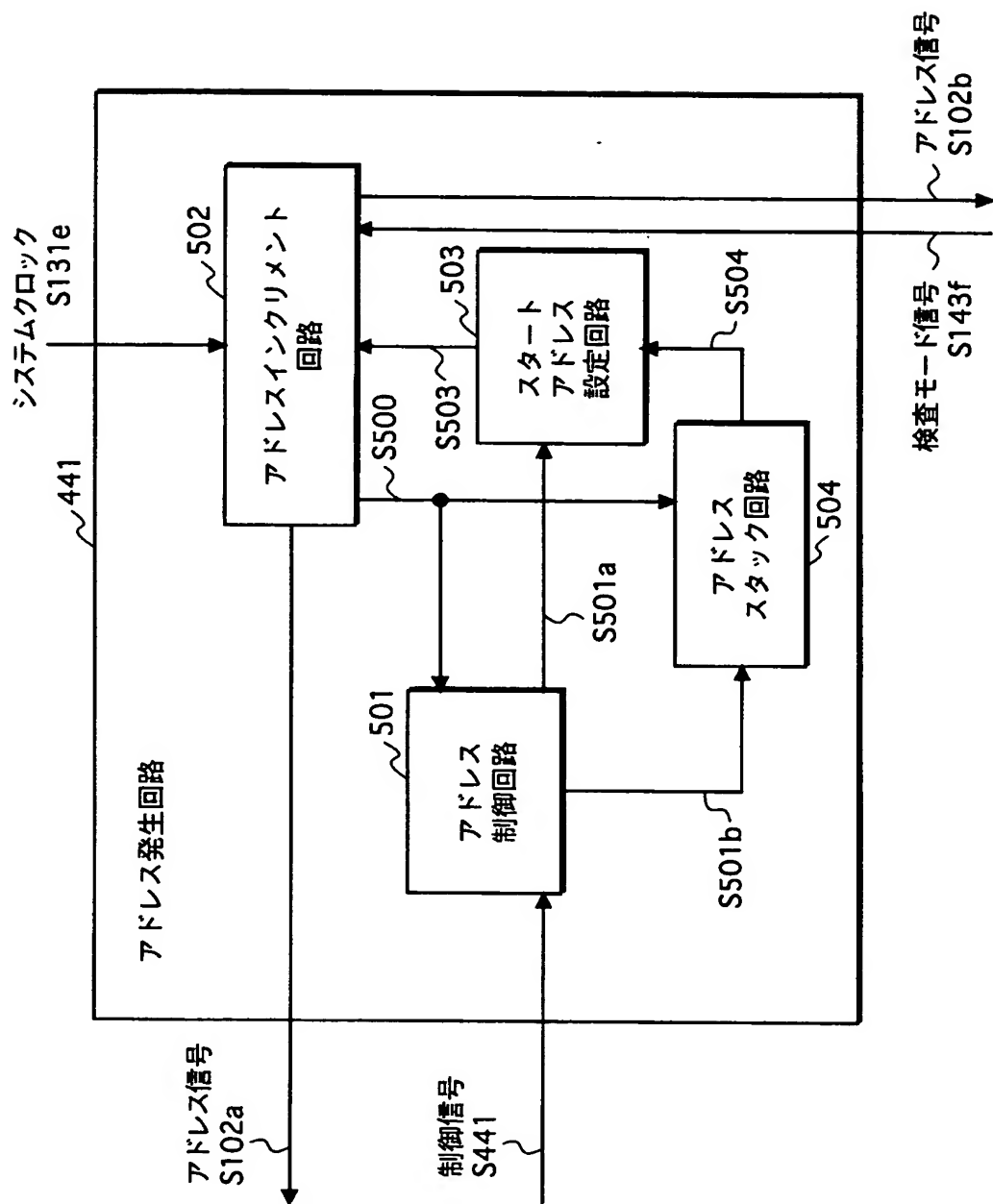
【図 7】



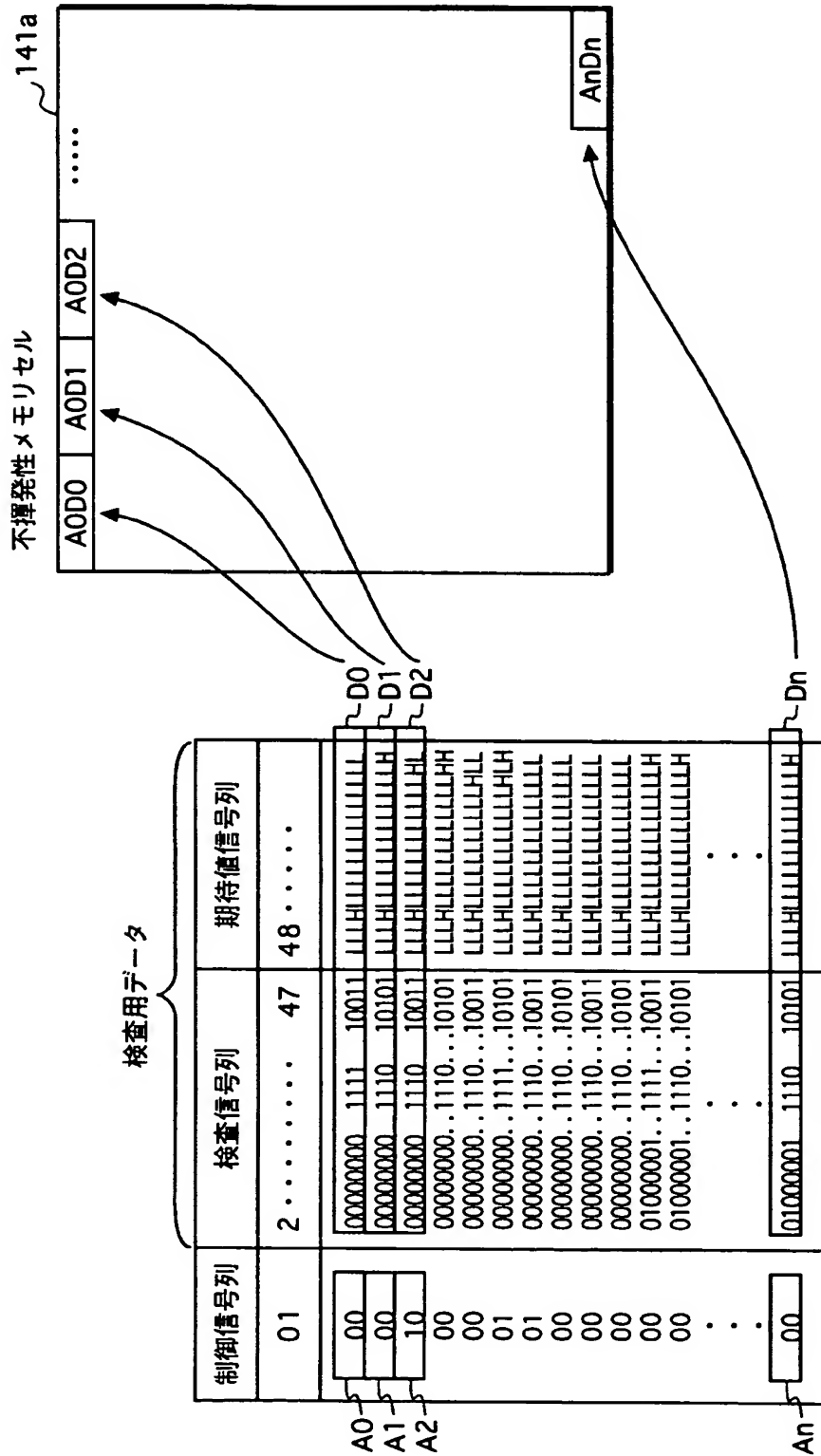
【図8】



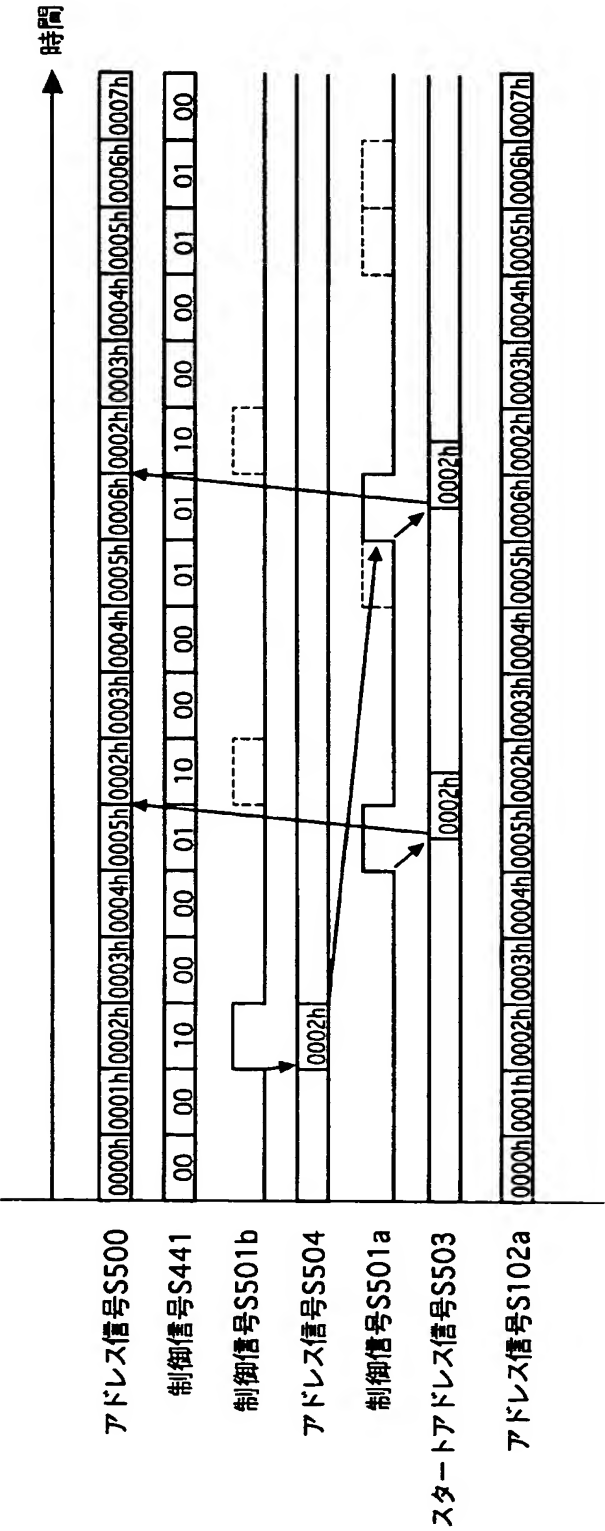
【図 9】



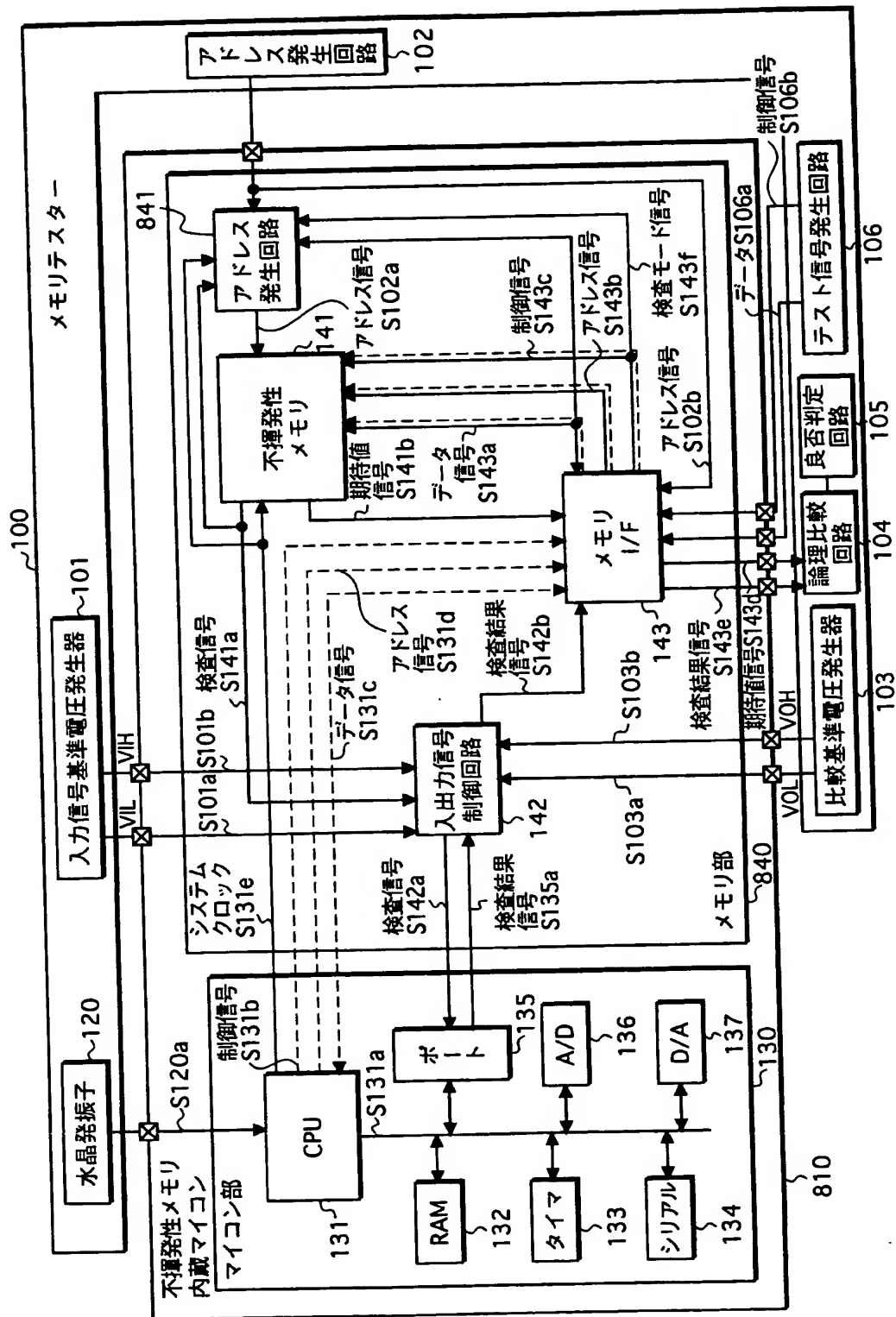
【図 10】



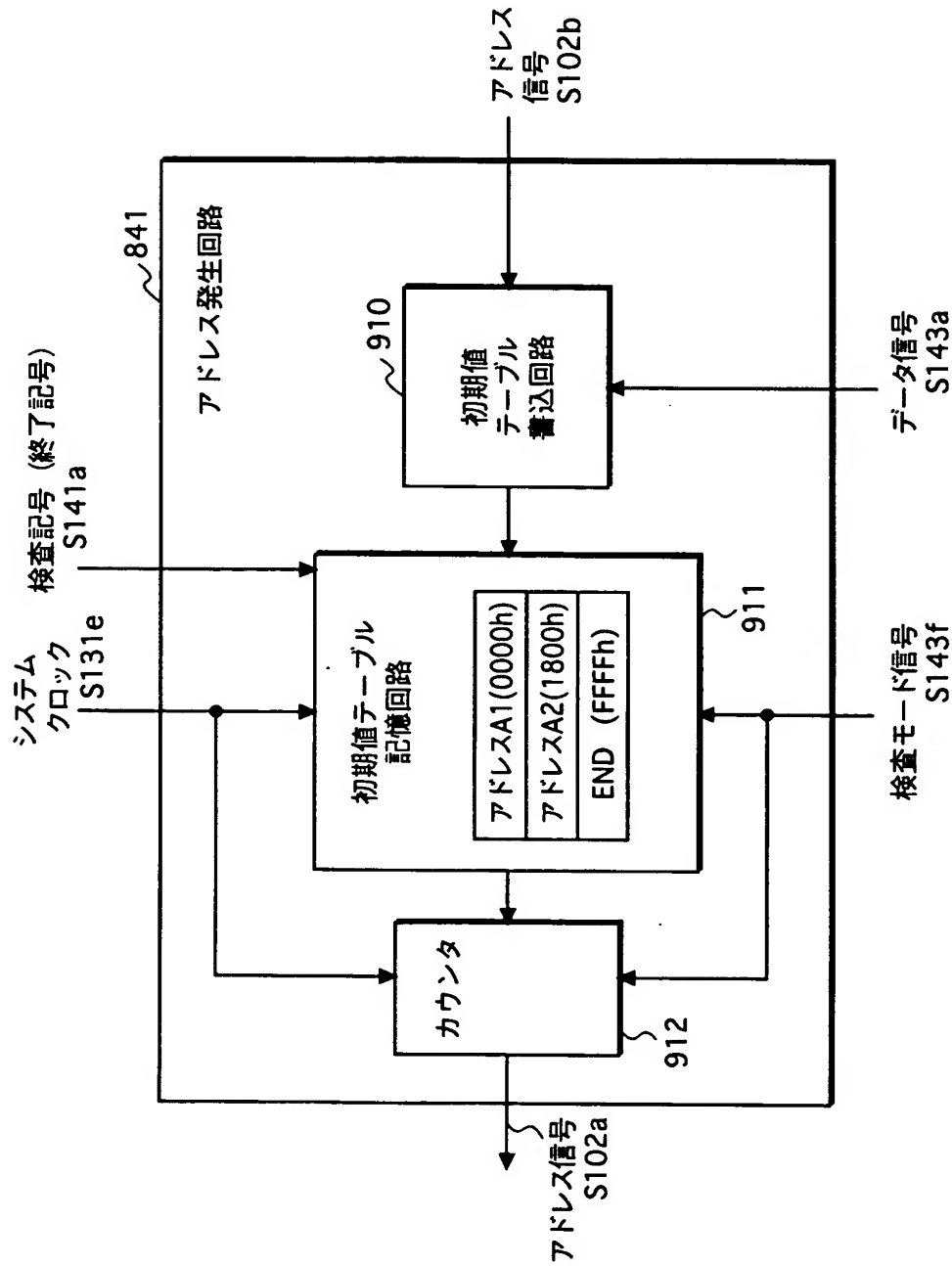
【図 1 1】



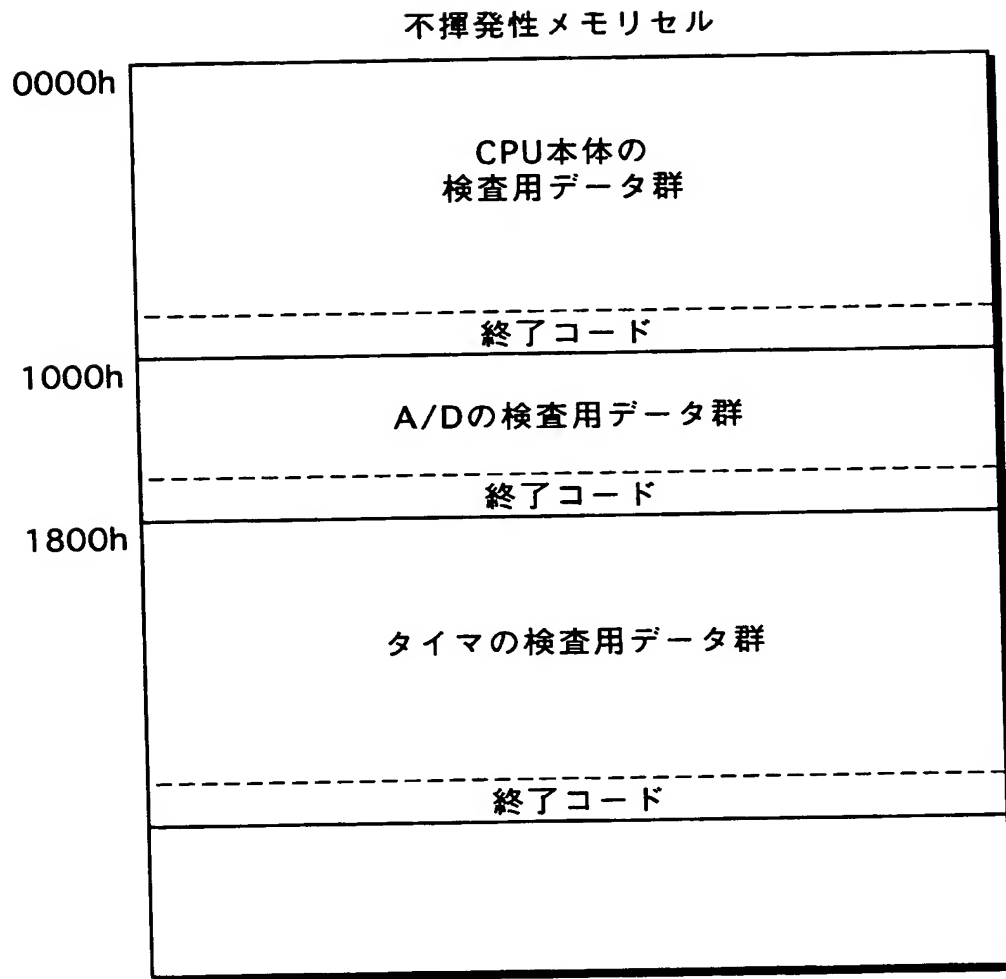
【図 1 2】



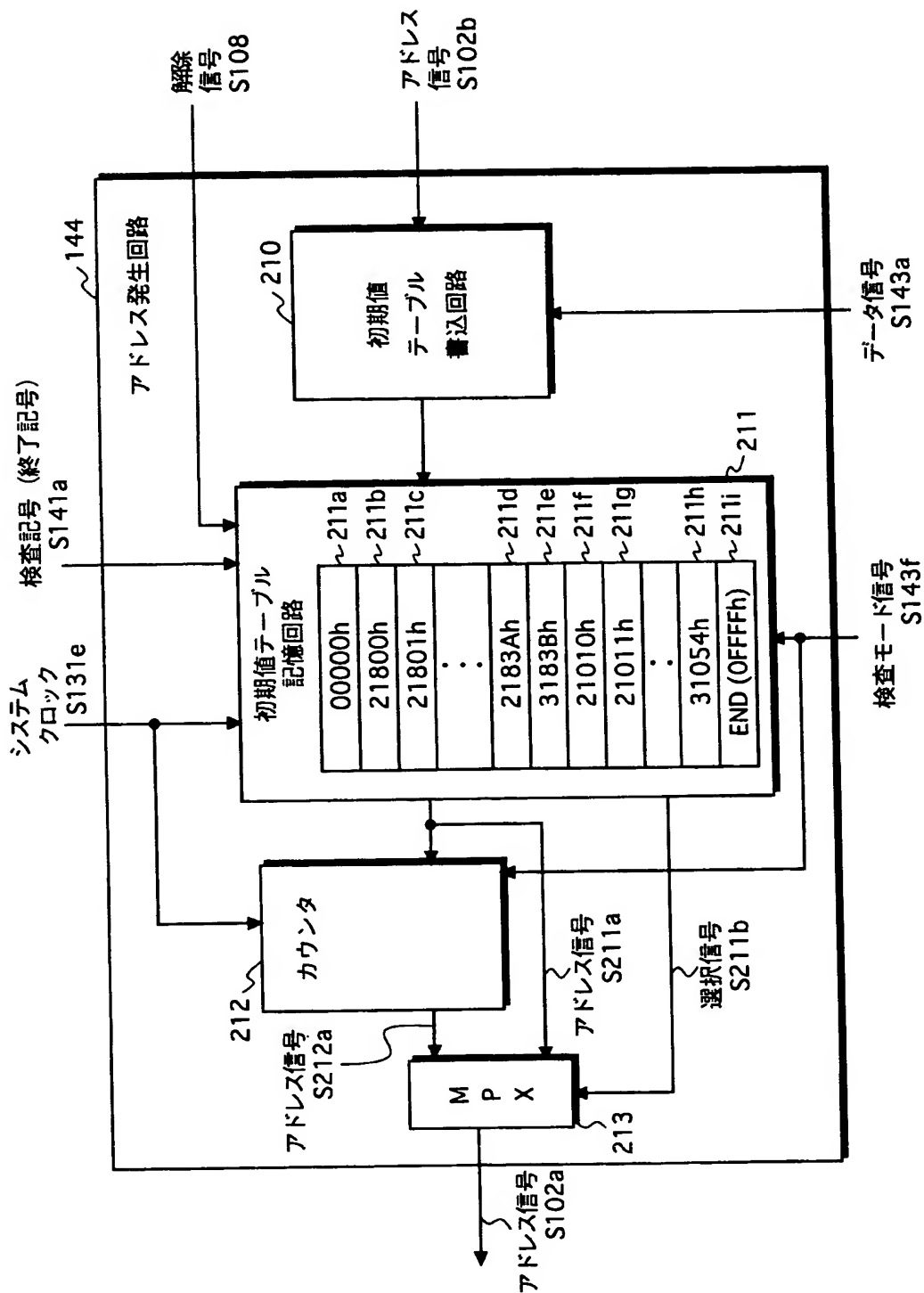
【図 1 3】



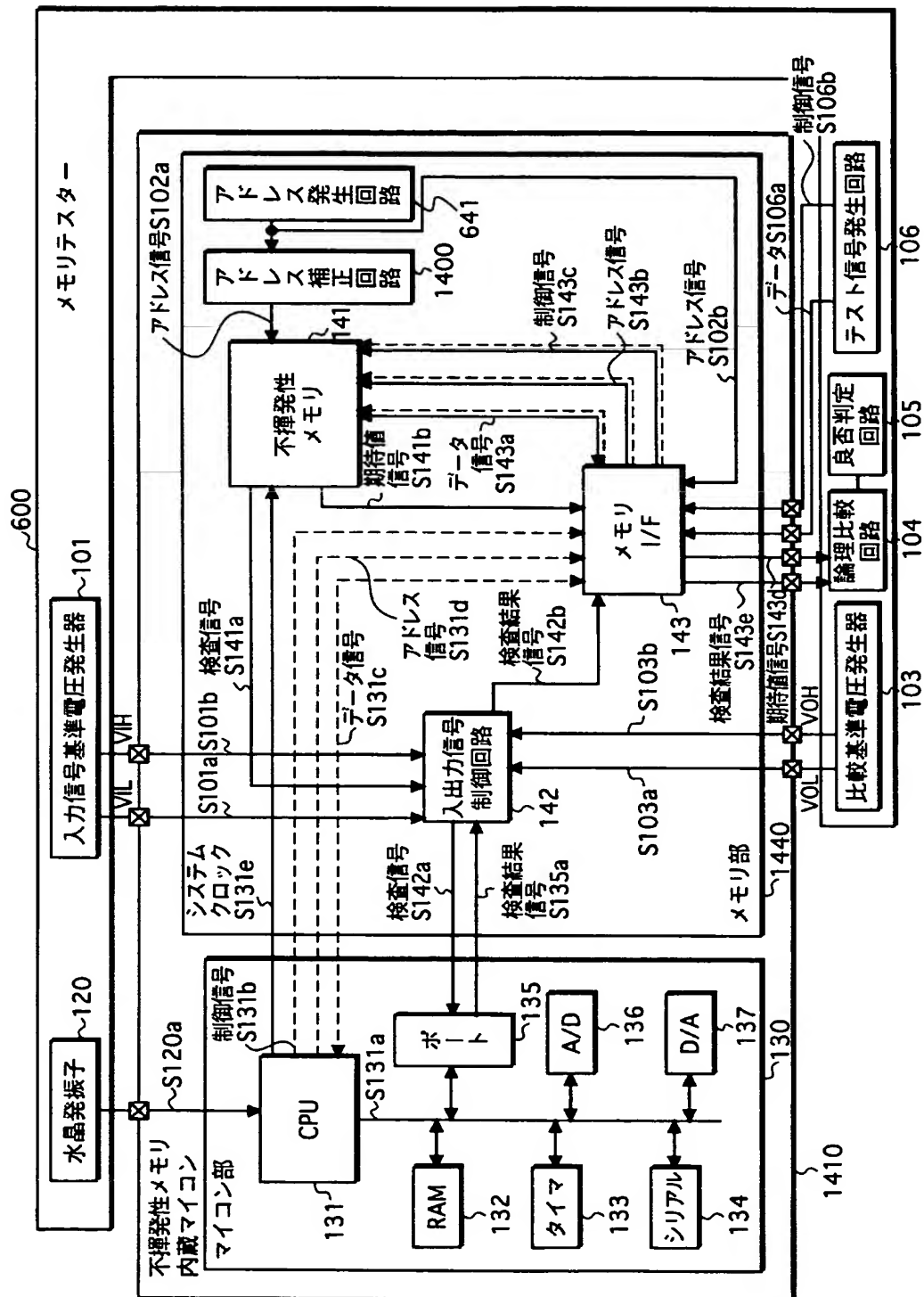
【図 1 4】



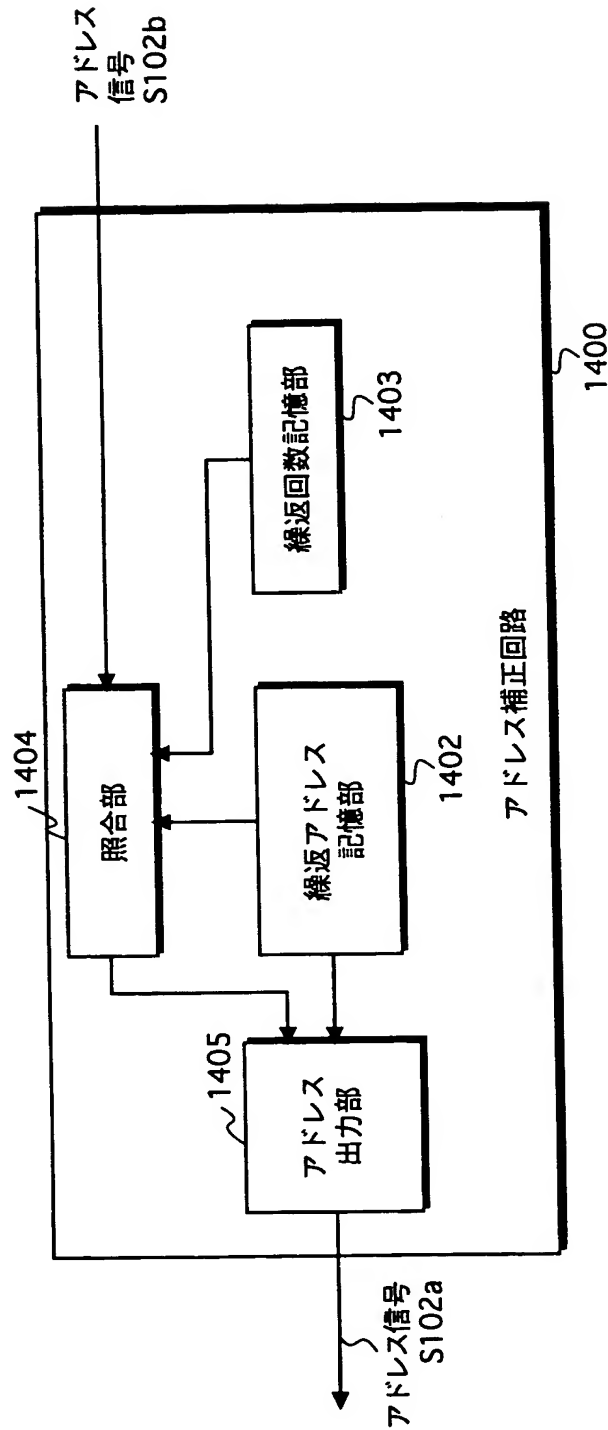
【図 15】



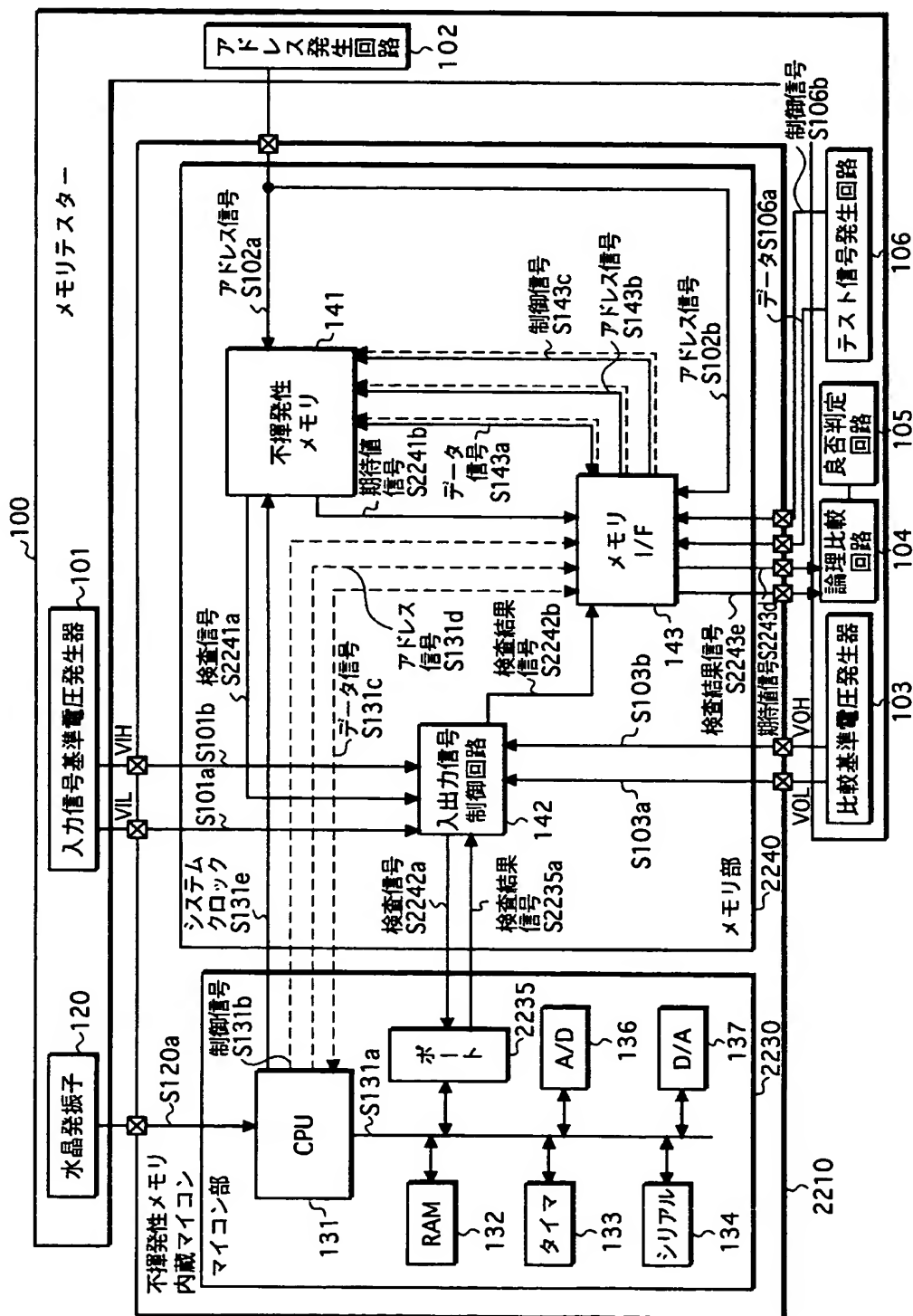
【図 16】



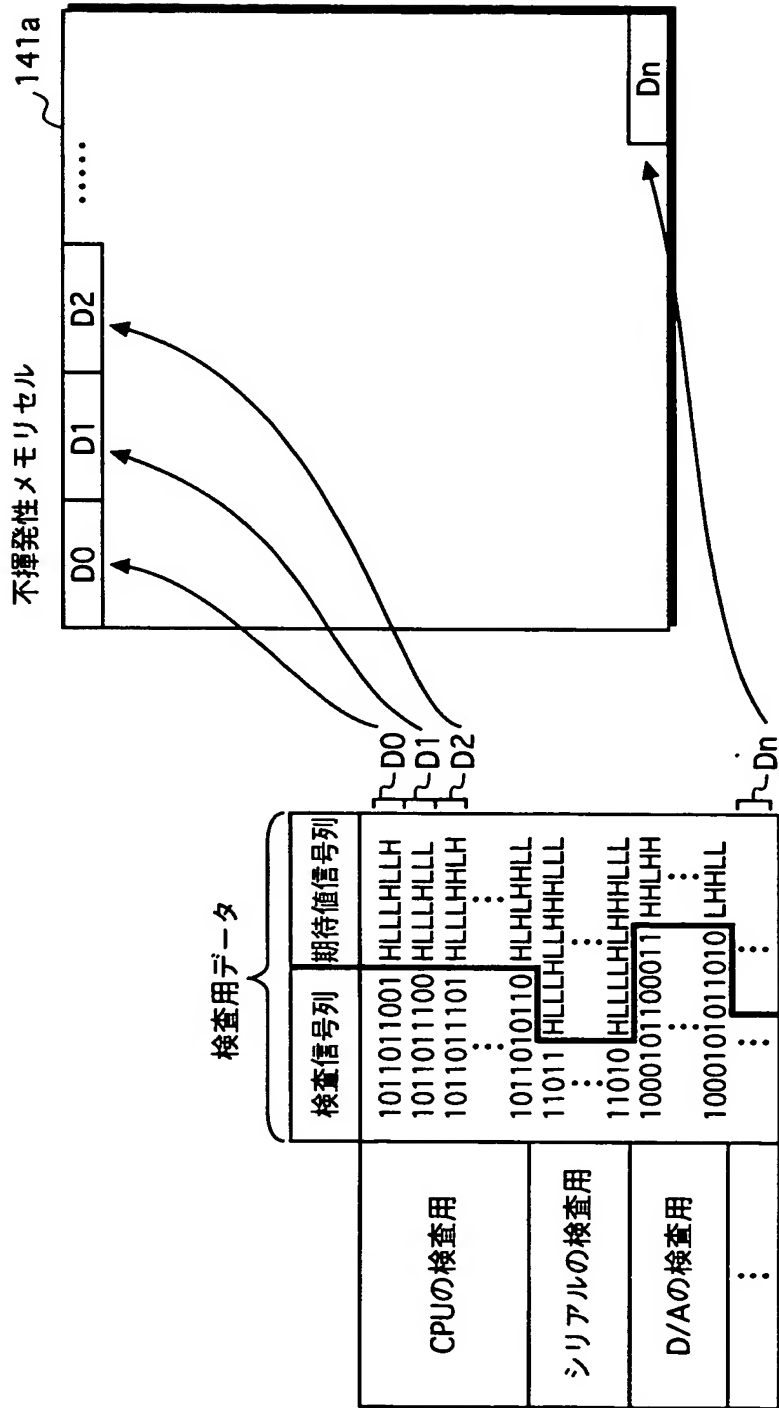
【図 17】



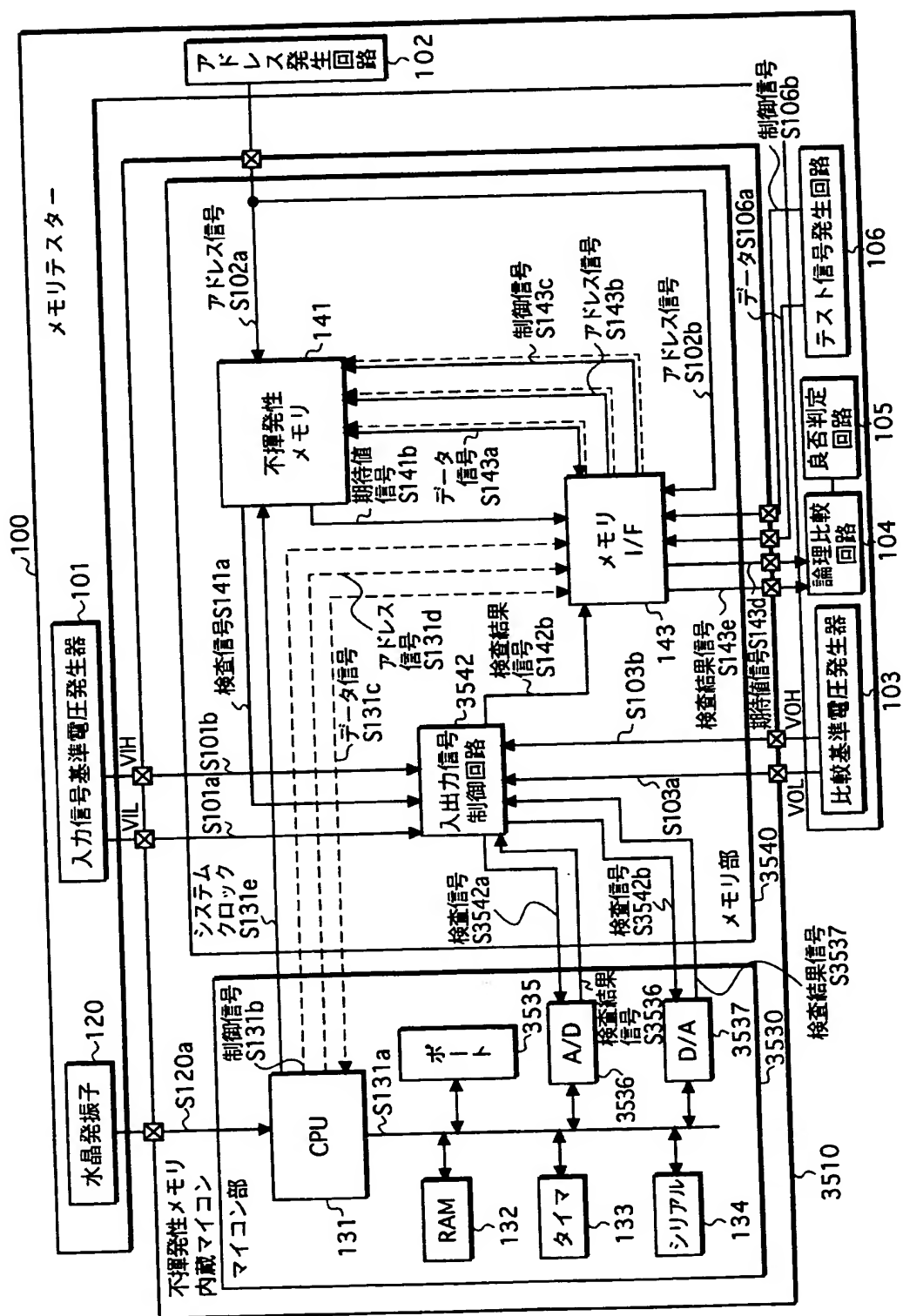
【図18】



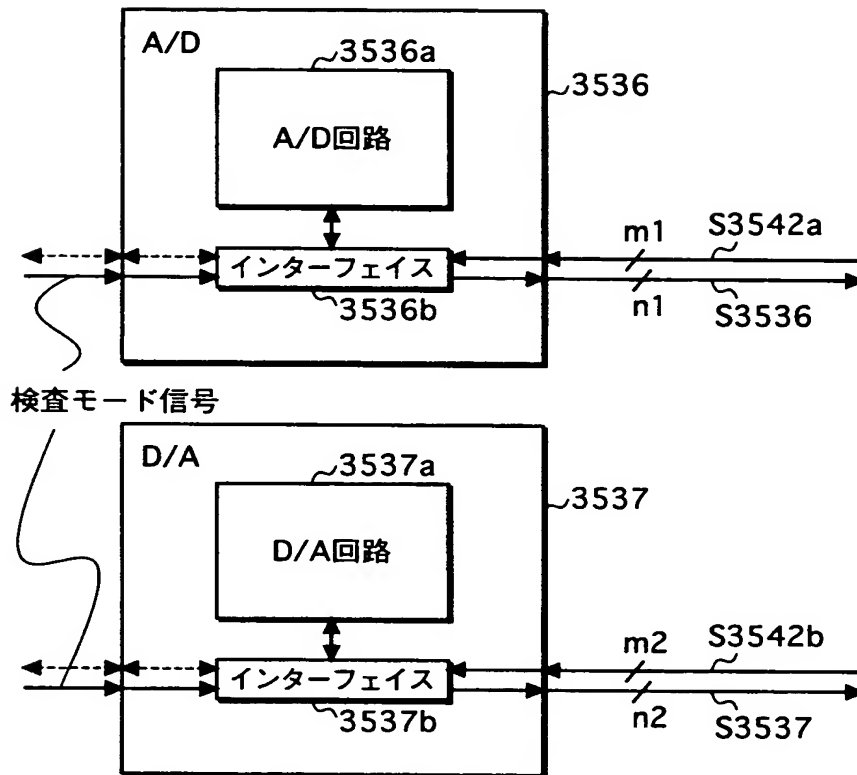
【図 1 9】



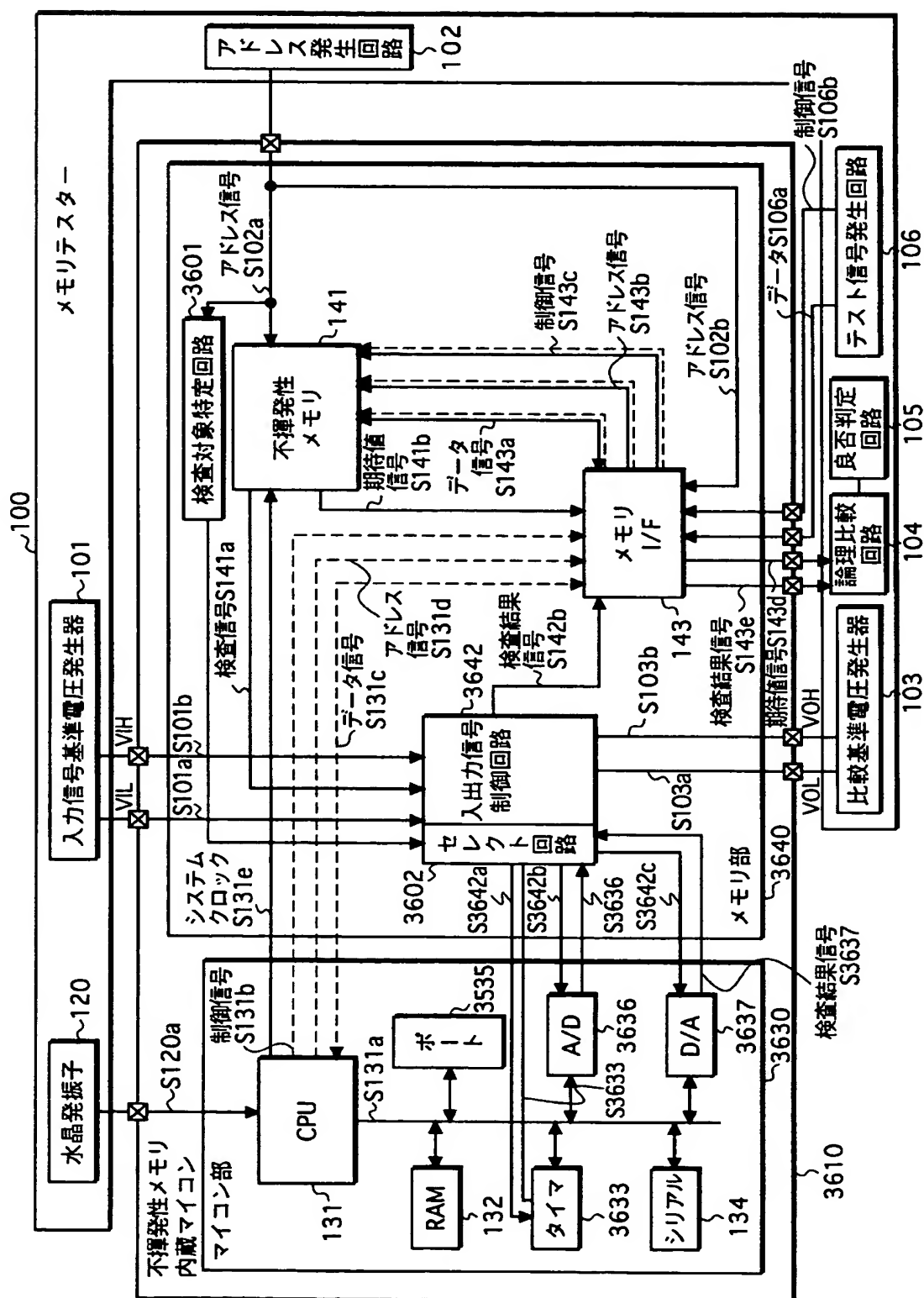
【図 20】



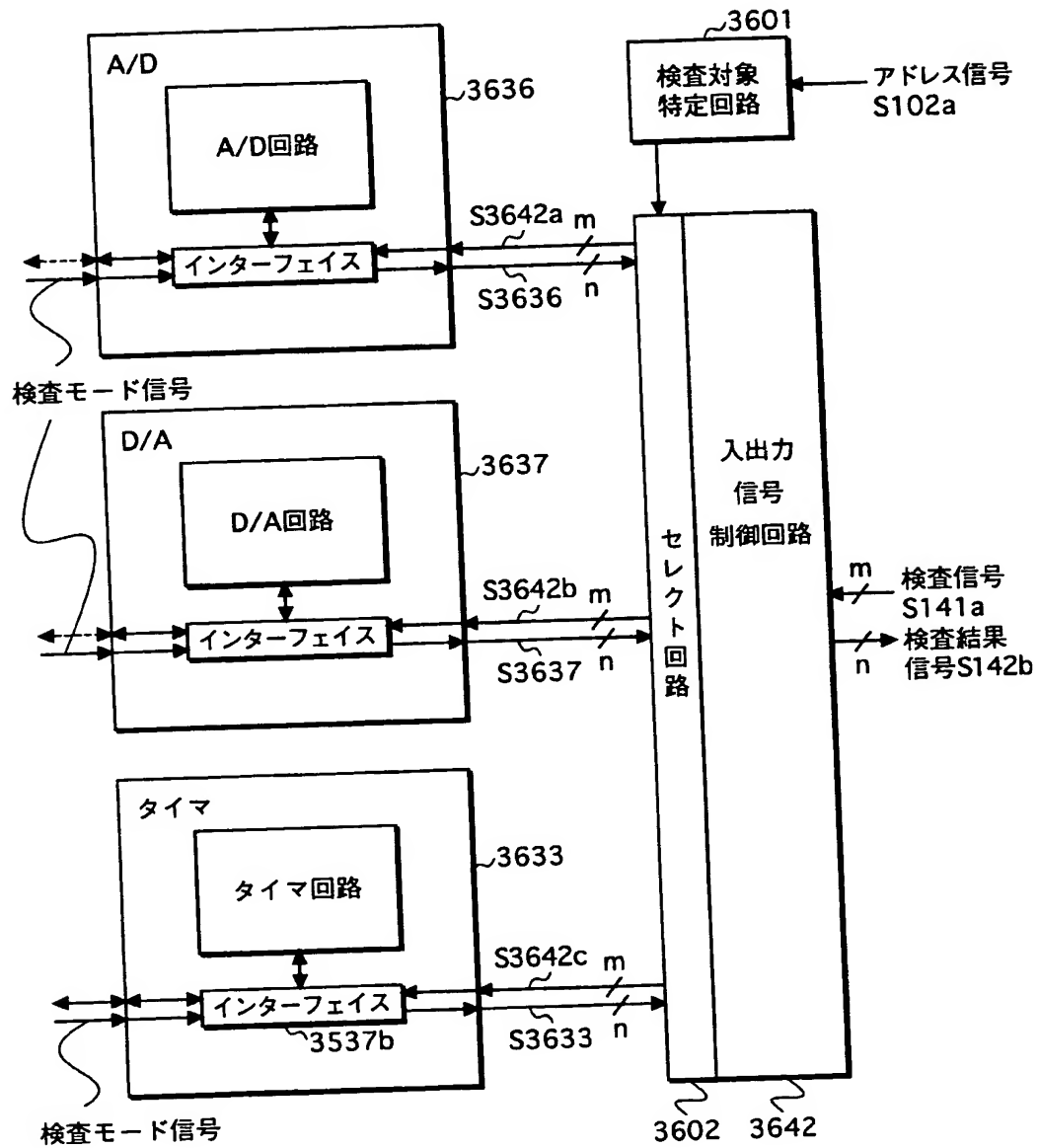
【図 2 1】



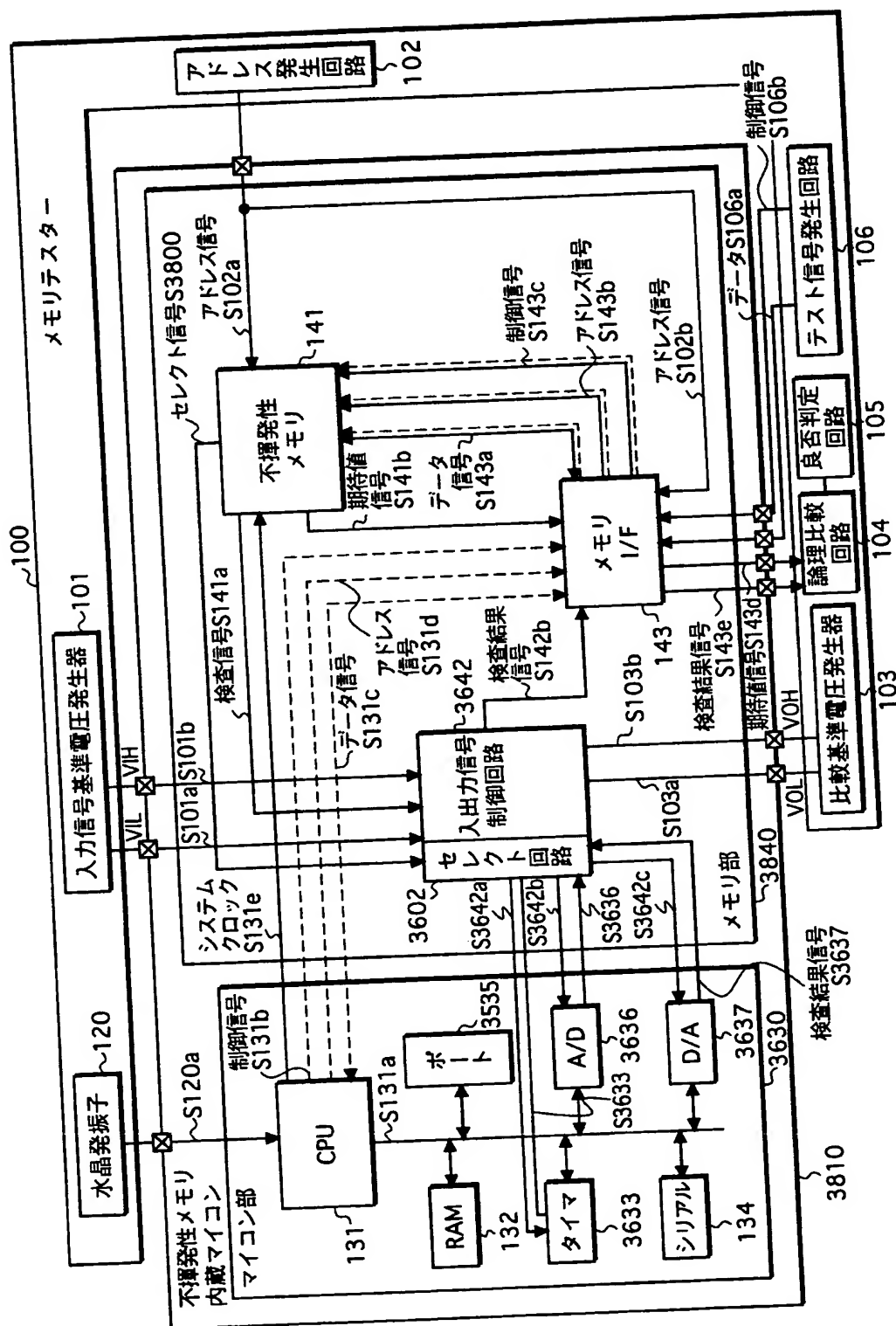
【図 2 2】

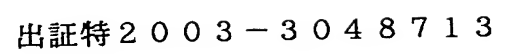


【図23】

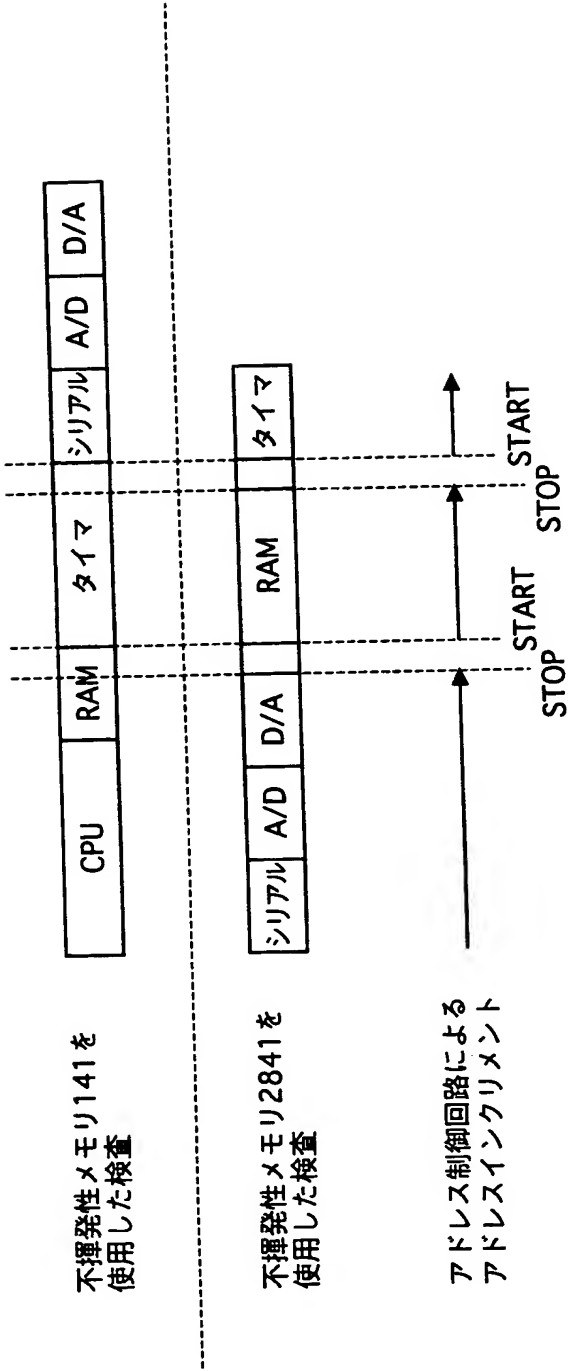


【图 24】

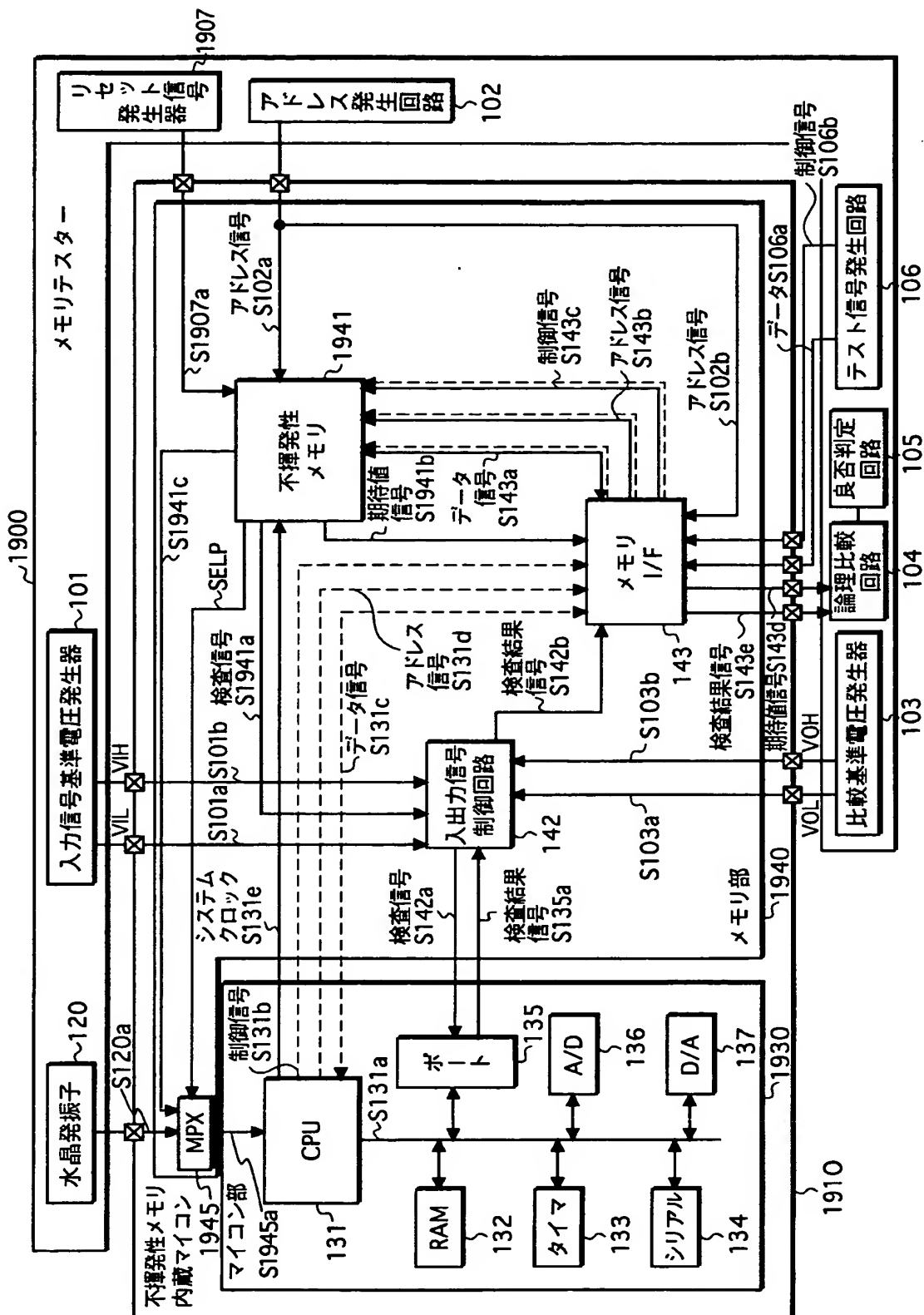




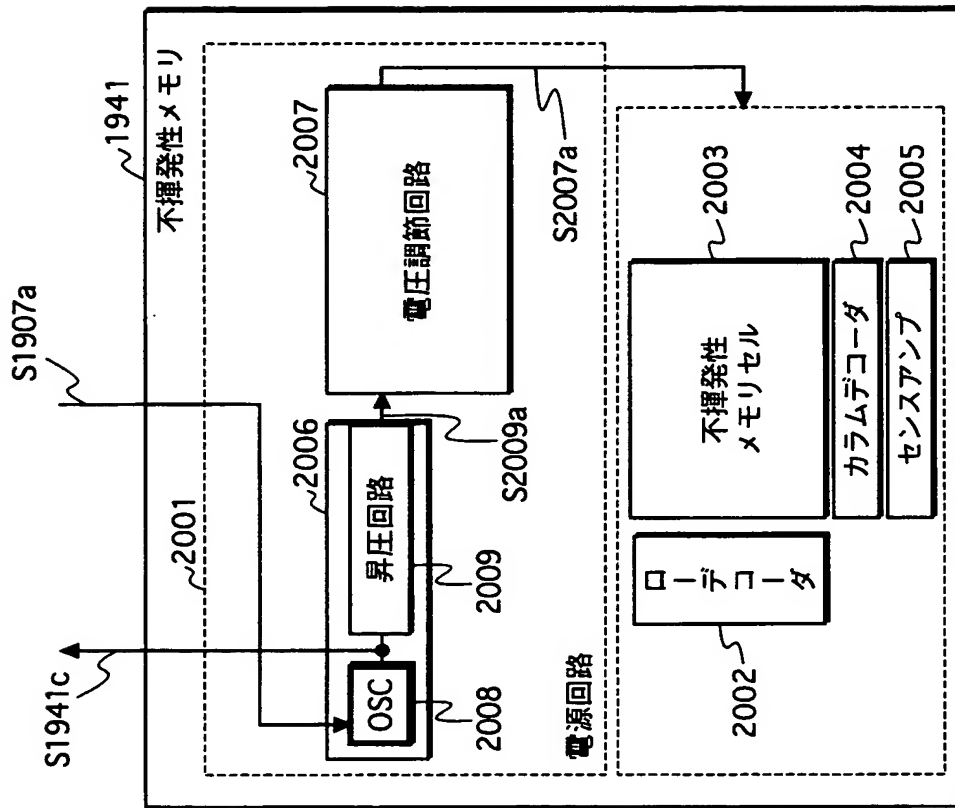
【図 2 6】



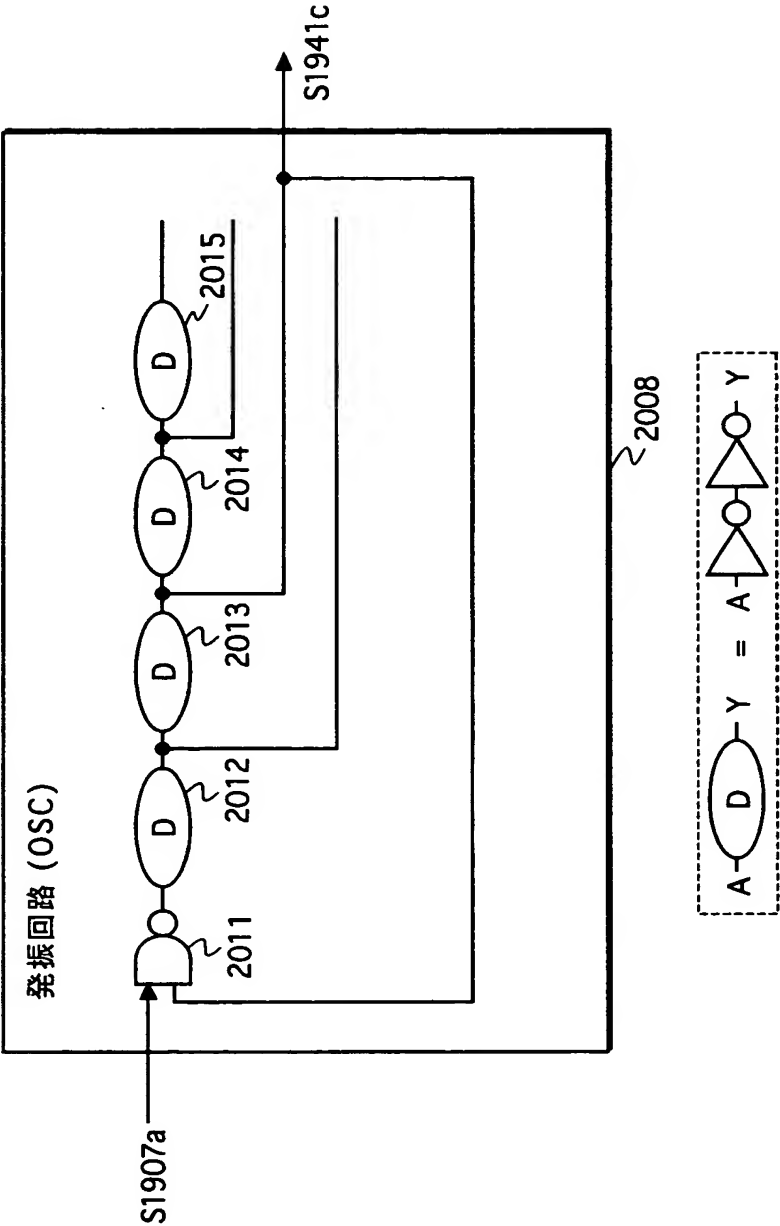
【図 27】



【図 2 8】



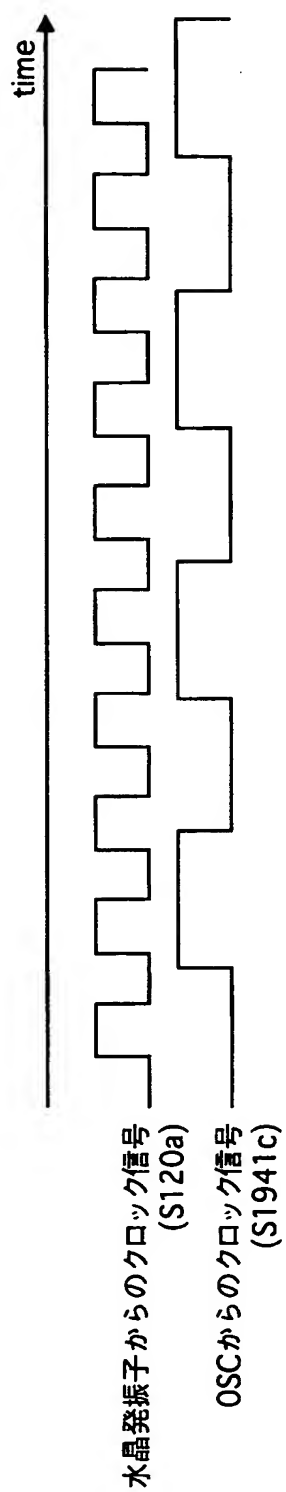
【図 2 9】



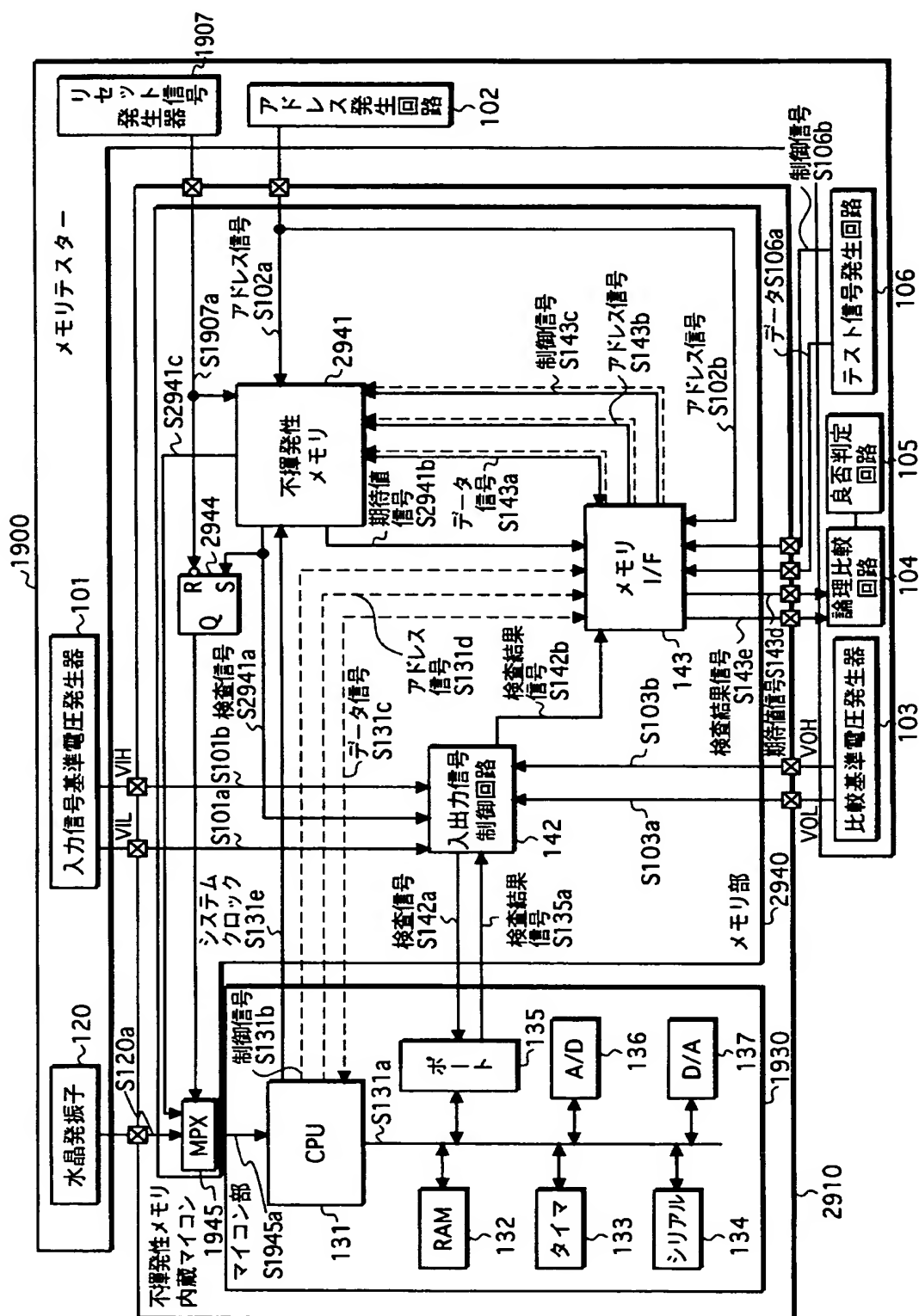
【図 3 0】

不揮発性メモリセル		
	SELP	検査用データ
0000h	0 0	CPU本体の 検査用データ群
1000h	1 1	D/Aの検査用データ群
1800h	0 0	タイマの検査用データ群
		. . .

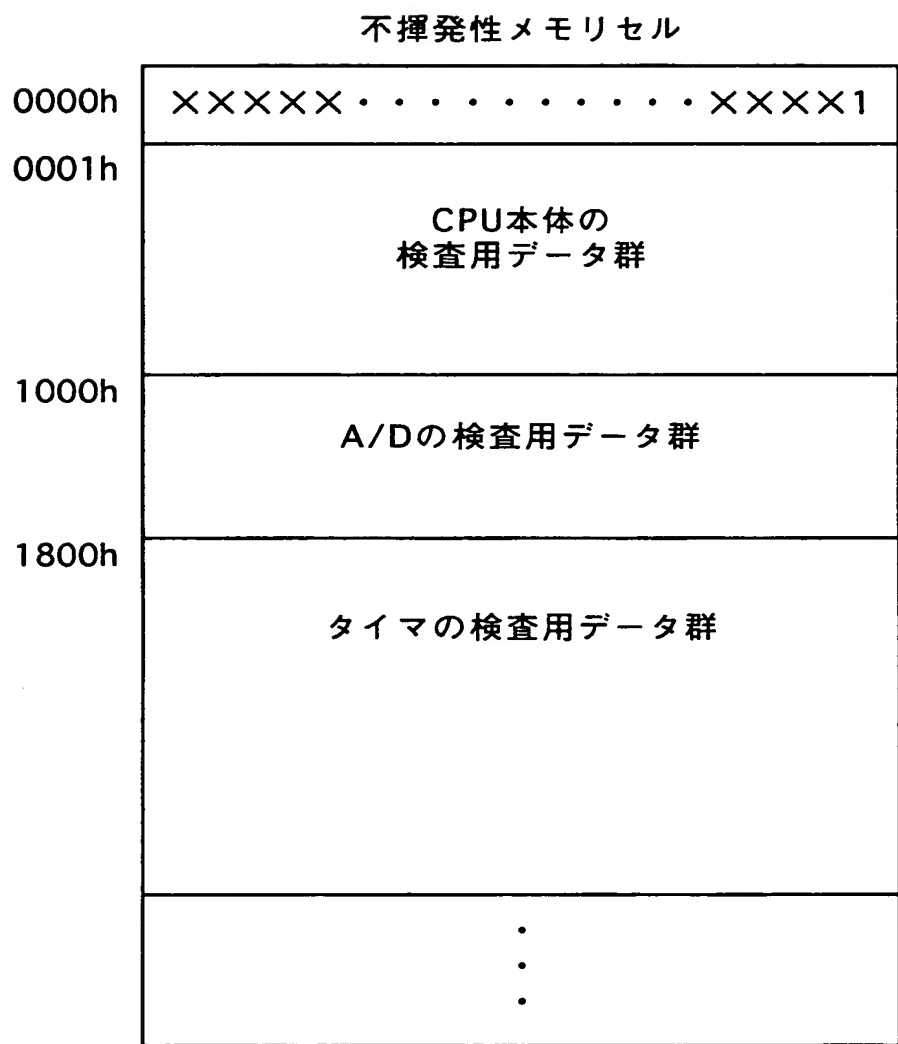
【図 3 1】



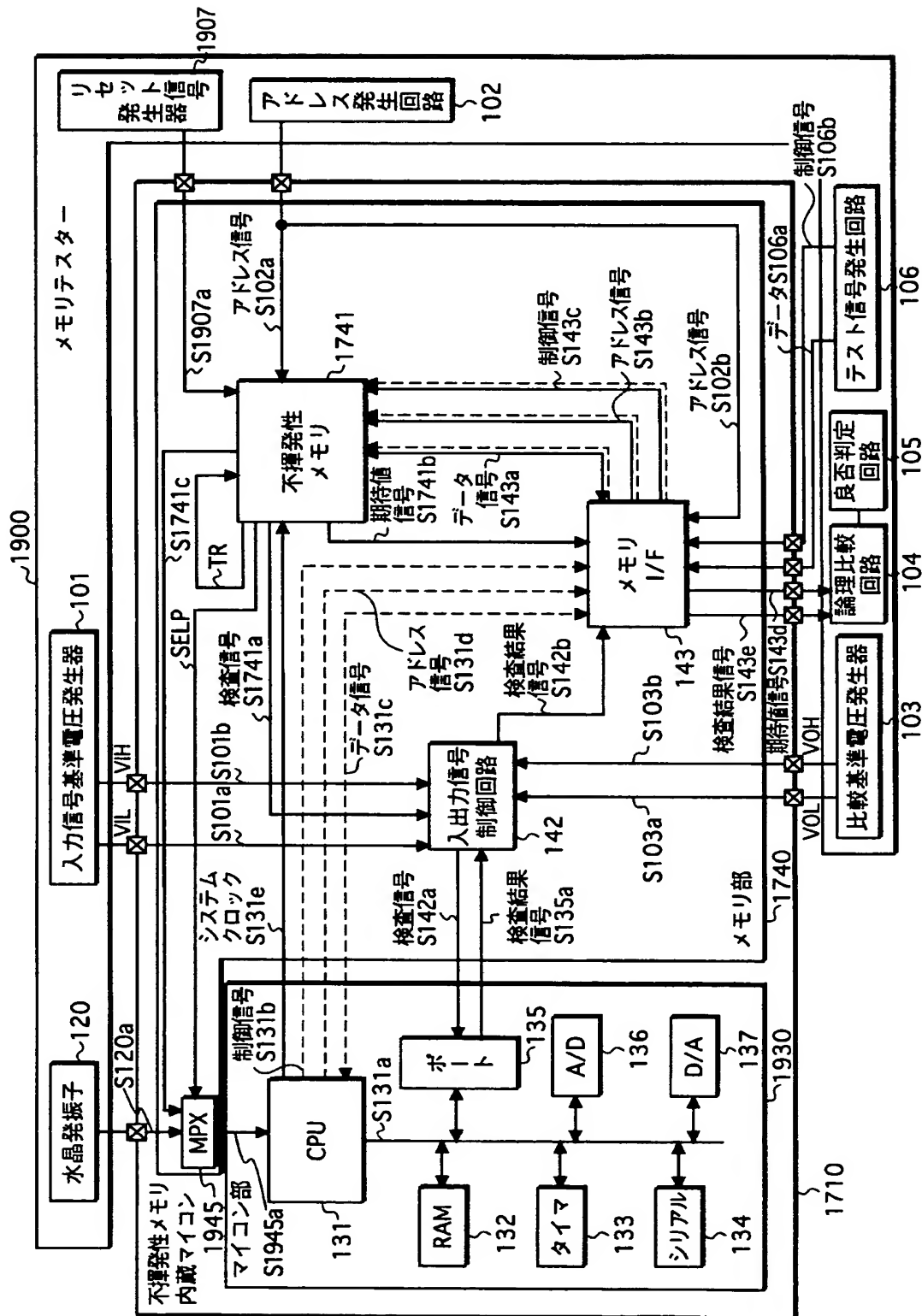
【図 3 2】



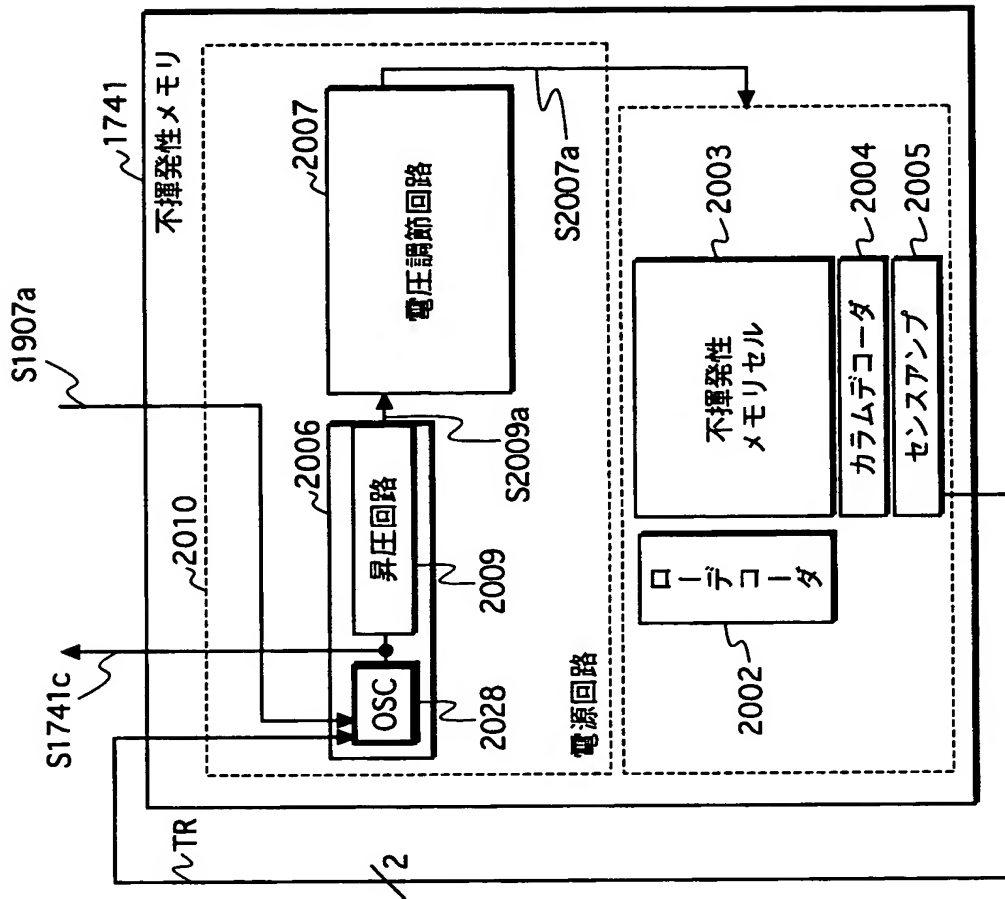
【図 3 3】



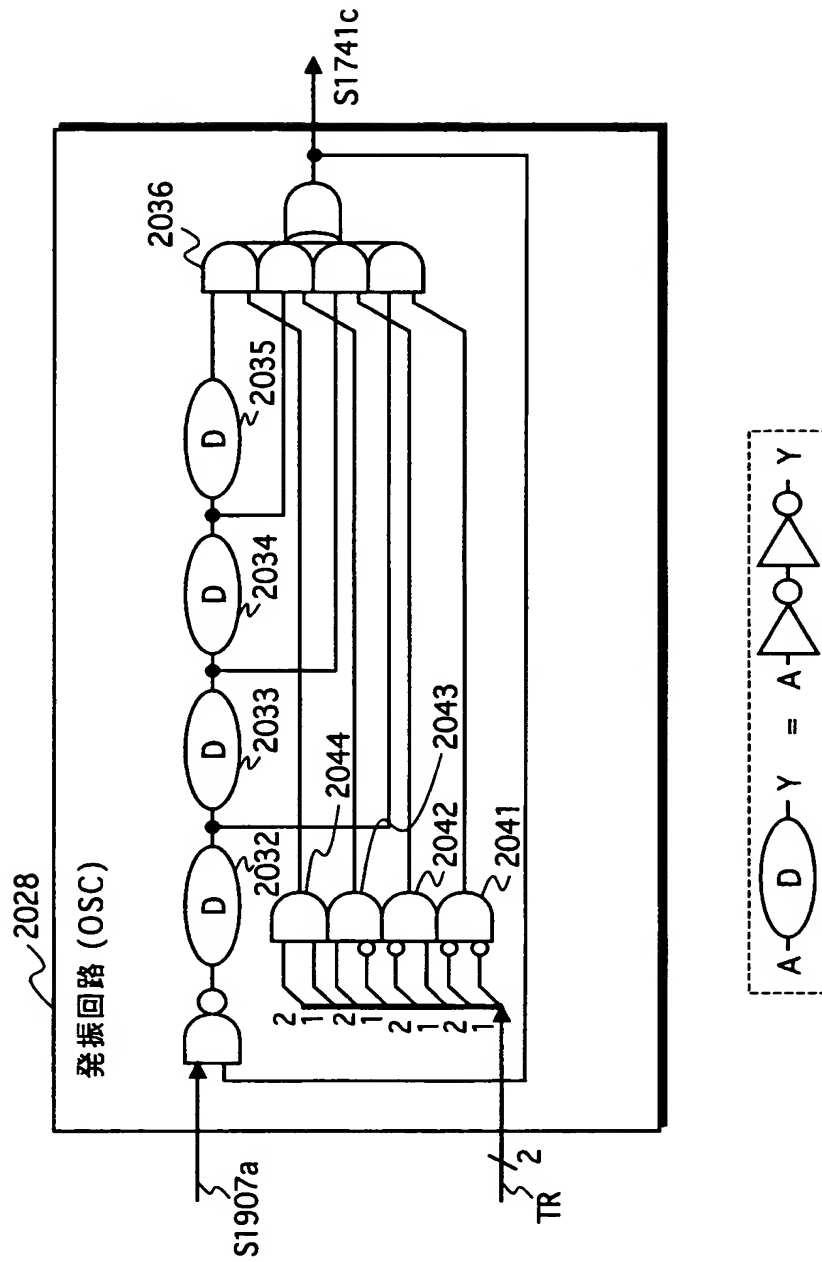
【図 34】



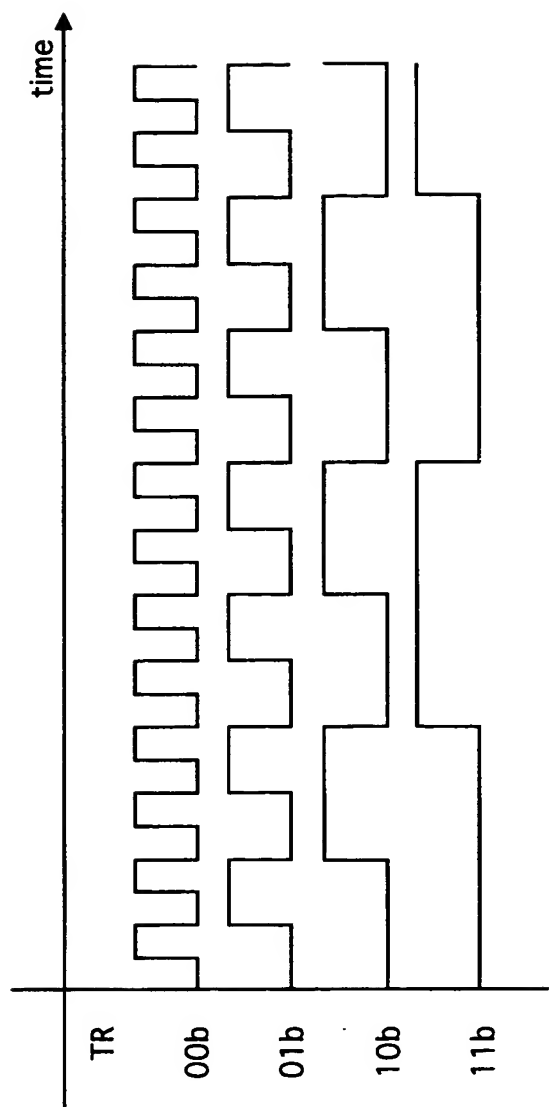
【図 3 5】



【図 3 6】



【図 3 7】

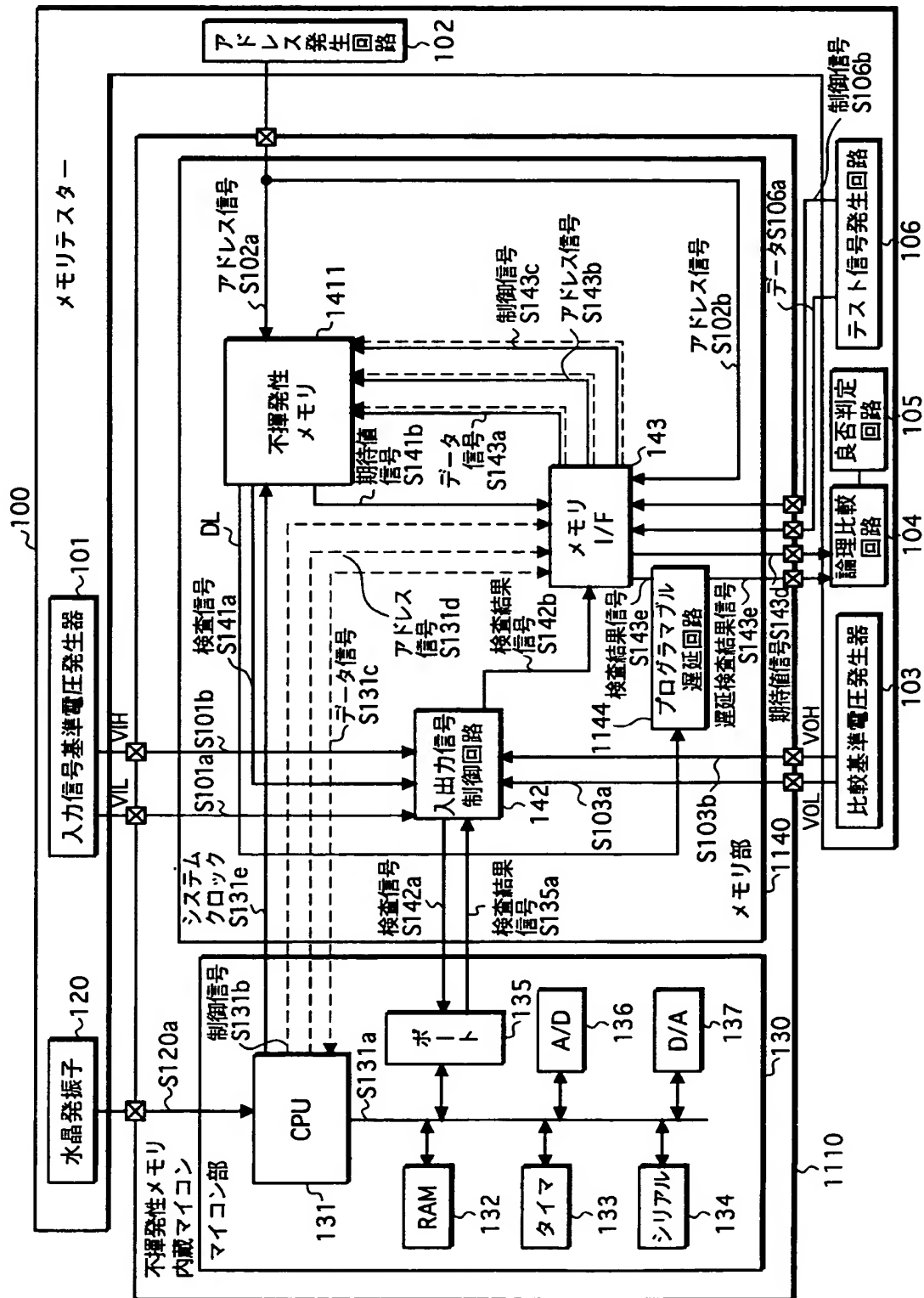


【図 3 8】

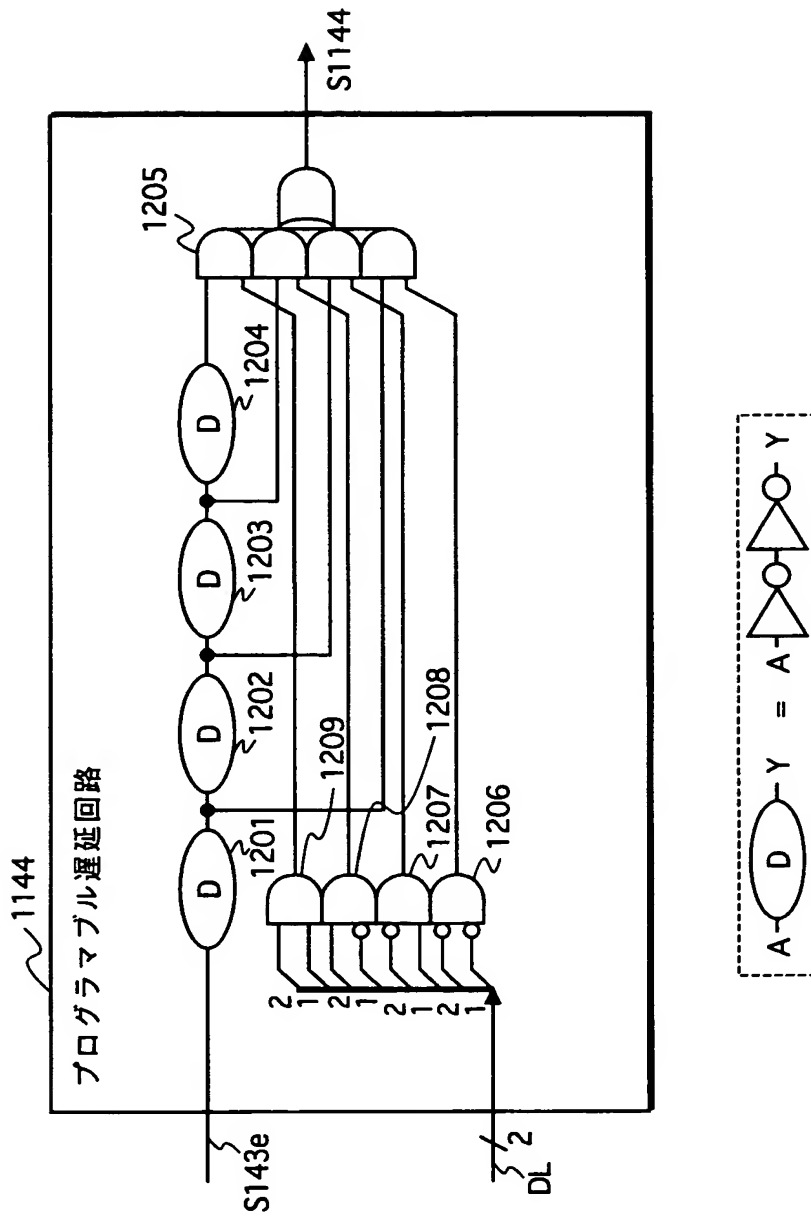
不揮発性メモリセル

	SELP	TR	検査用データ
0000h	1 . . . 1	11 . . . 11	CPU本体の 検査用データ群
0800h	1 . . . 1	01 . . . 01	CPU本体の 検査用データ群
1000h	1 . . . 1	11 . . . 11	D/Aの検査用データ群
1800h	1 1	01 01	タイマの検査用データ群

【図 39】



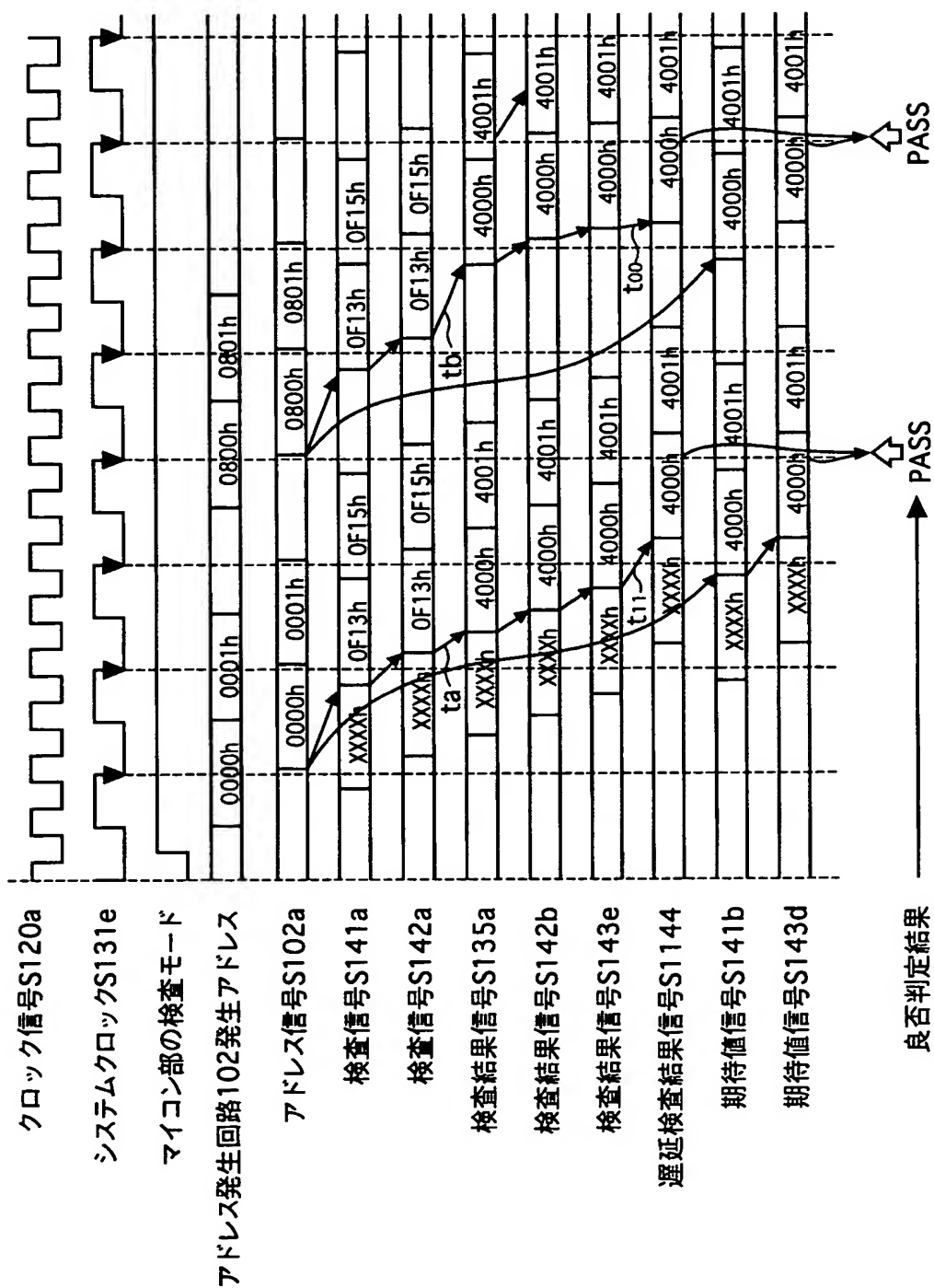
【図 4 0】



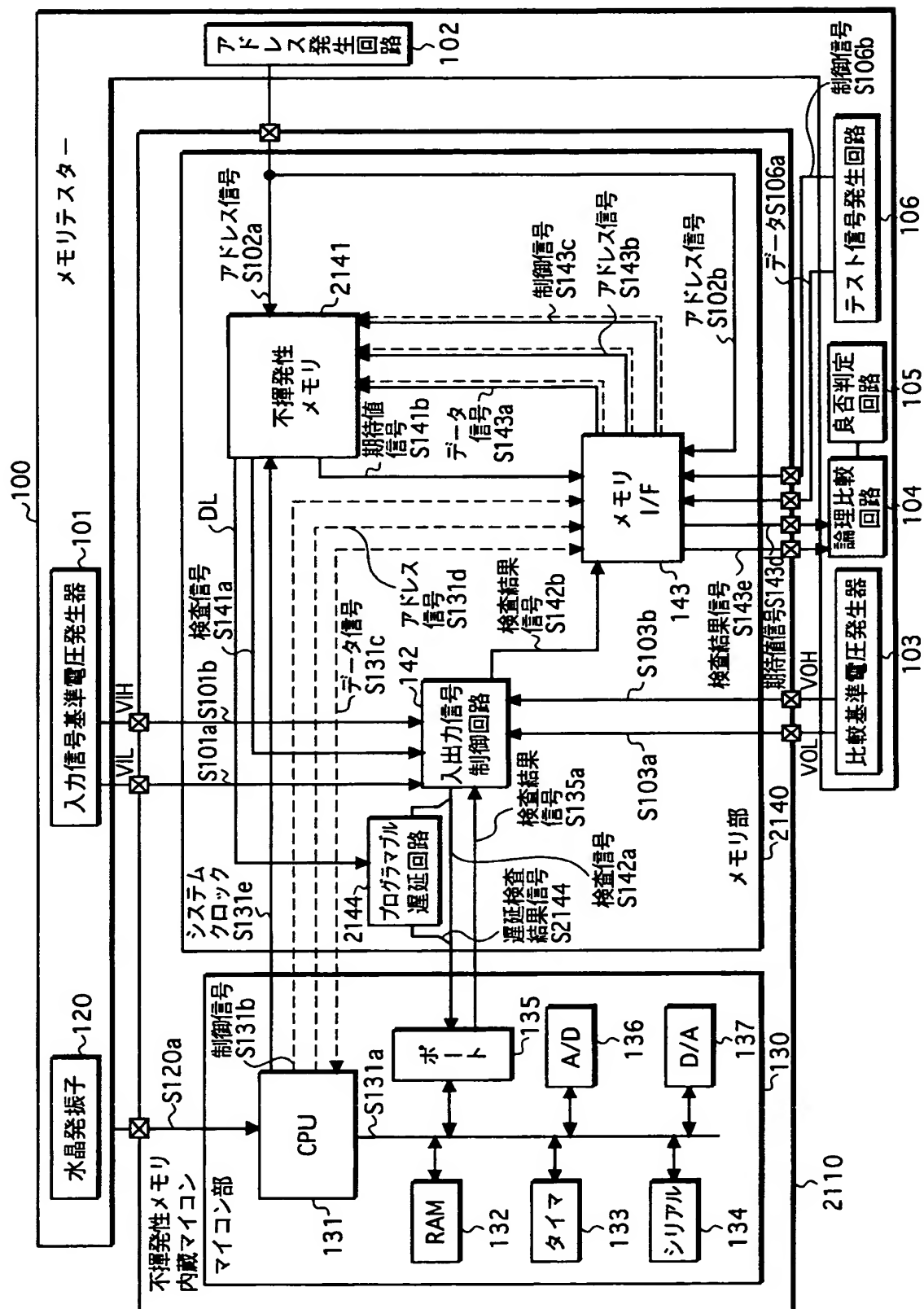
【図 4 1】

不揮発性メモリセル		
	DL	検査用データ
0000h	11 ⋮ 11	CPU本体の 検査用データ群
0800h	00 ⋮ 00	D/Aの検査用データ群
	⋮ ⋮ ⋮	⋮ ⋮ ⋮

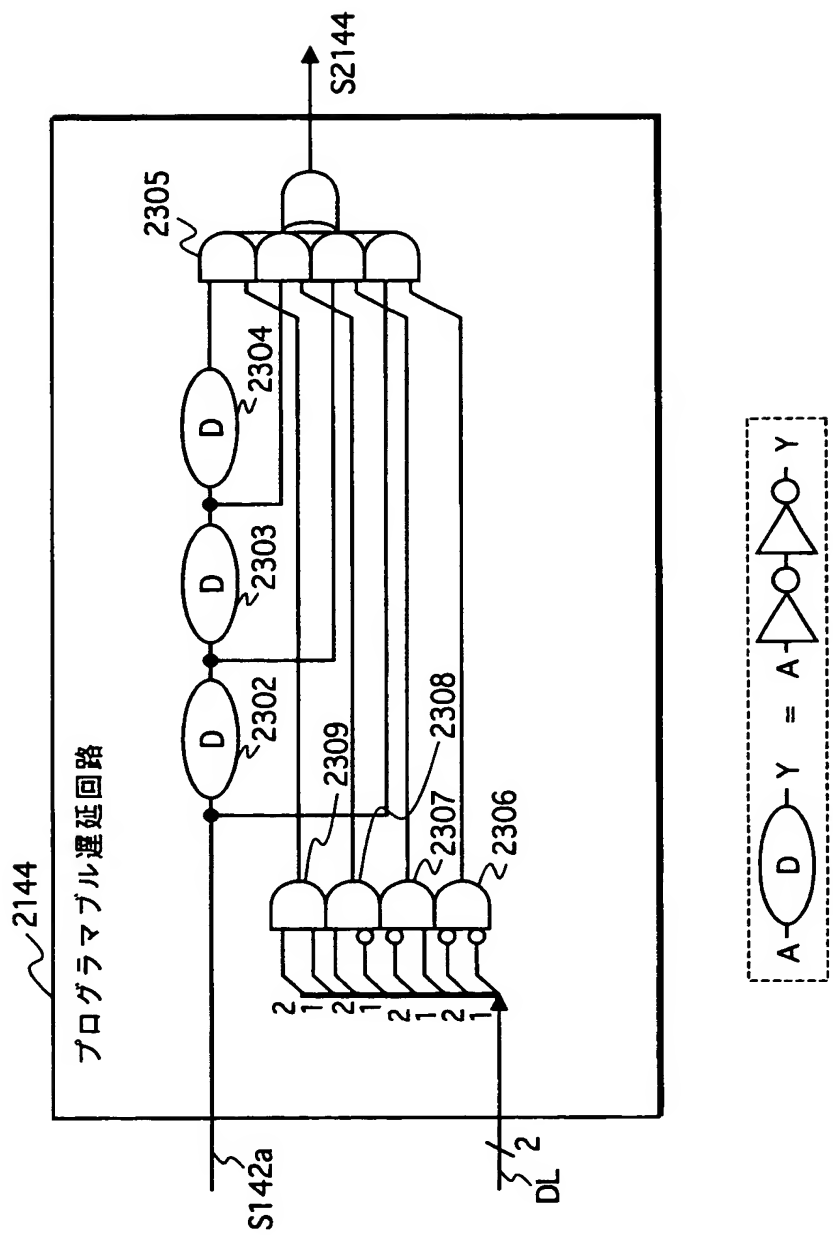
【図 4 2】



【図 4 3】



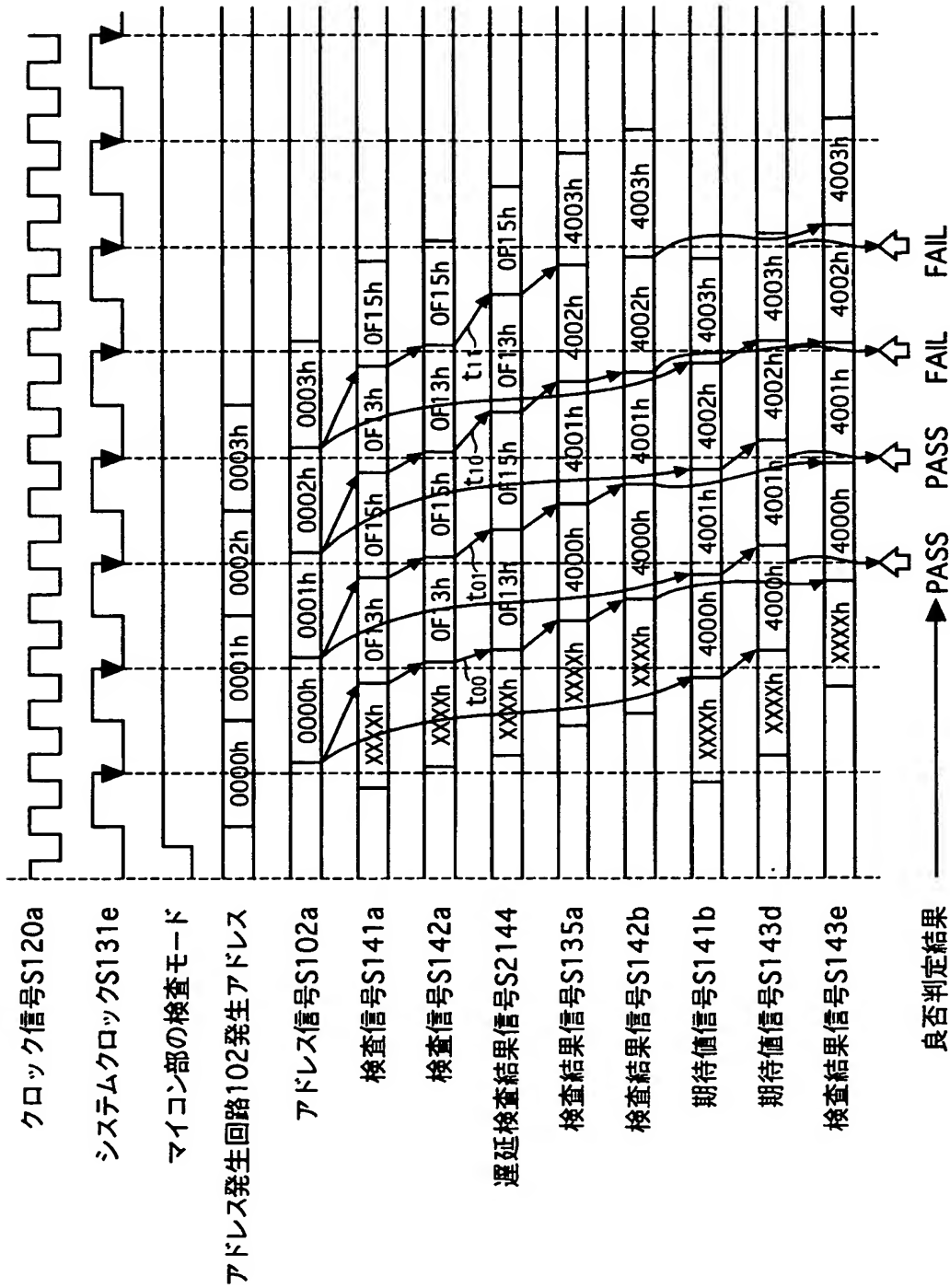
【図 4 4】



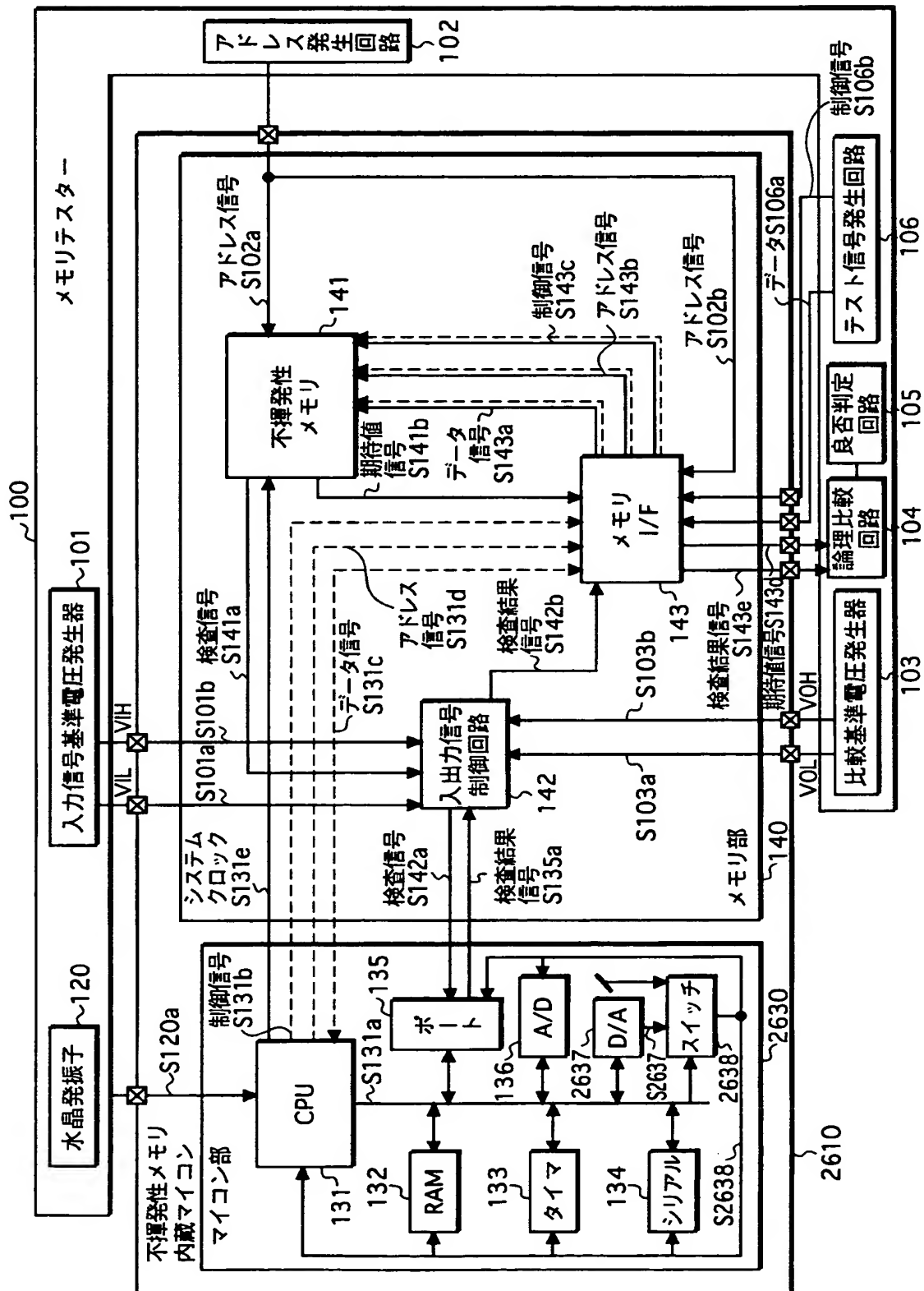
【図 4 5】

不揮発性メモリセル		
	DL	検査用データ
0000h	00	シリアルの 検査用データ群
	01	
	10	
	11	
	⋮	
	⋮	
	⋮	
	⋮	

【図 4 6】



【図 4 7】

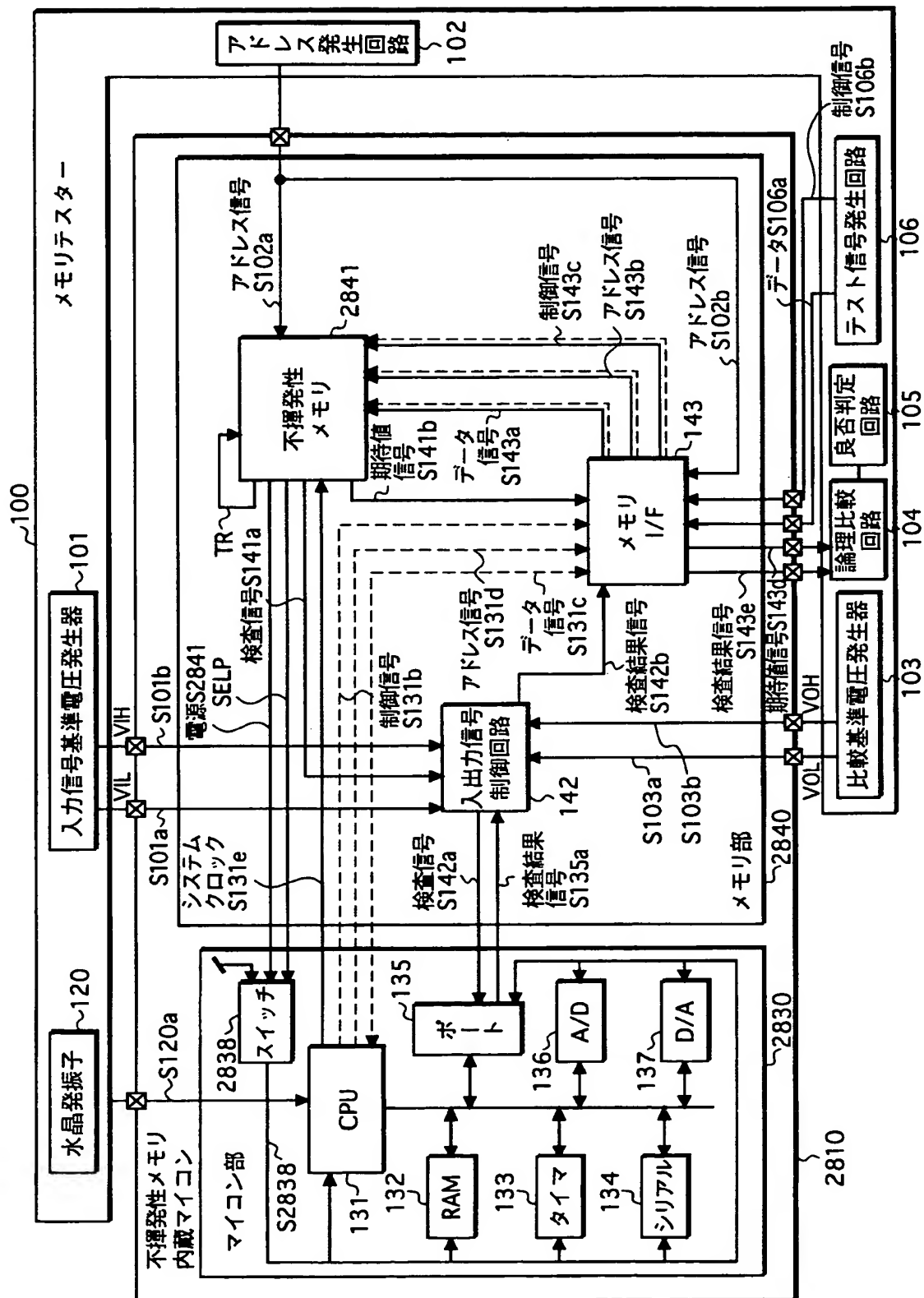


【図 4 8】

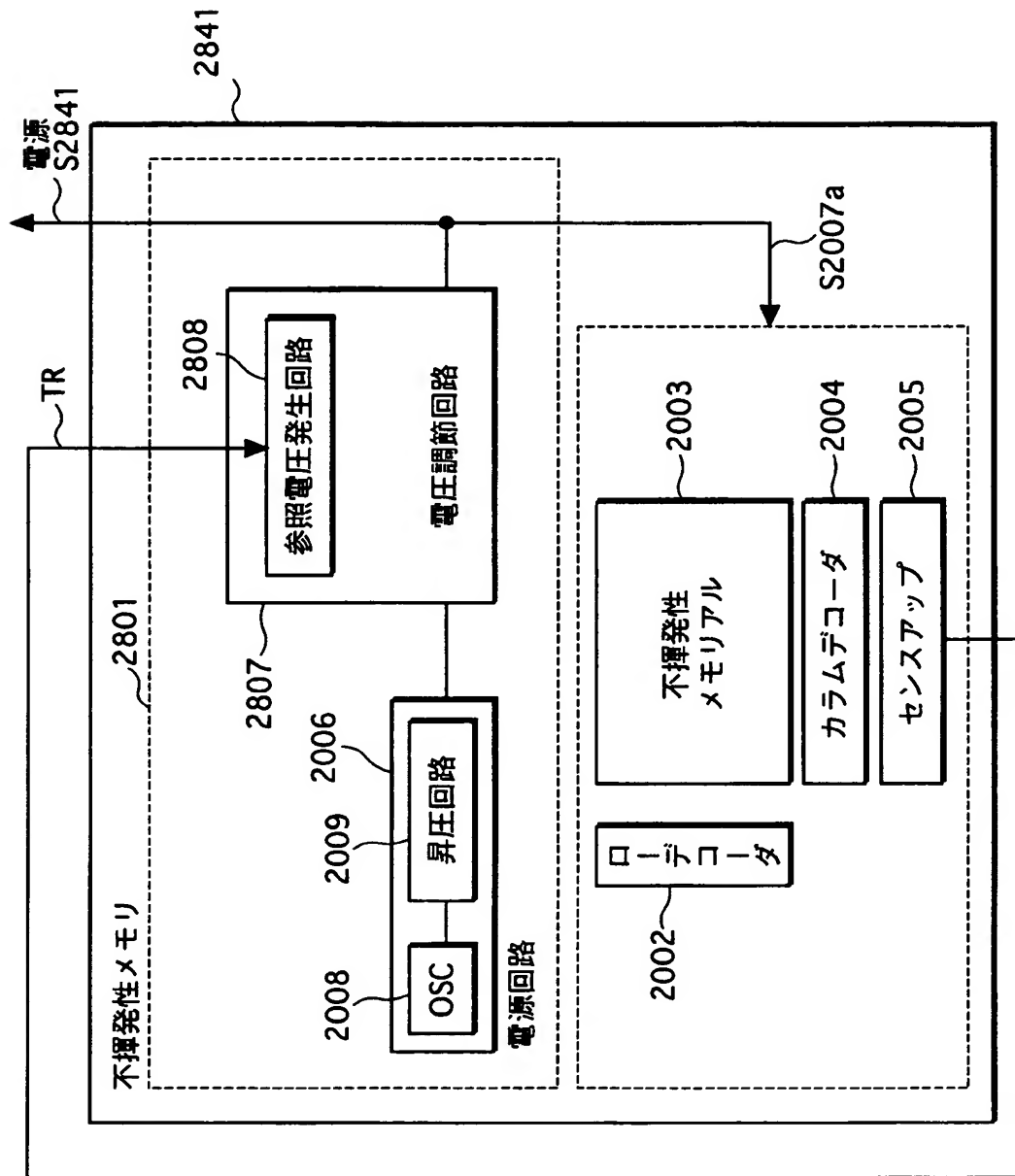
不揮発性メモリセル

	SELP	TR	検査用データ
0000h	1 : : : 1	00 : : : 00	通常電源による 検査用データ群
0800h	0 : : : 0	01 : : : 01	第1電圧の電源による 検査用データ群
1000h	0 : : : 0	11 : : : 11	第2電圧の電源による 検査用データ群
1800h	0 0 0 0 : : :	00 01 10 11 : : :	電源電圧を変化させながら行う 検査用データ群

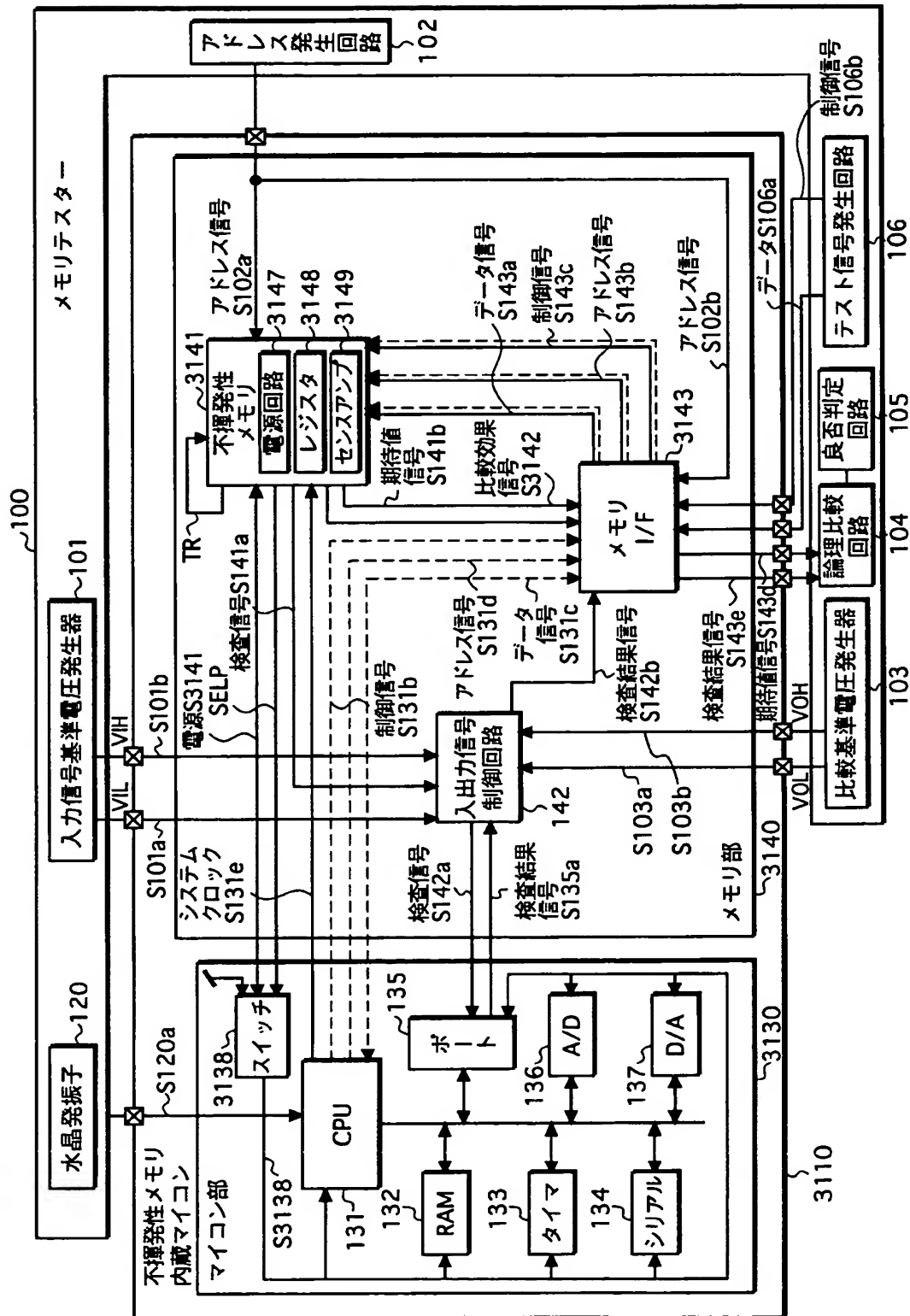
【図 49】



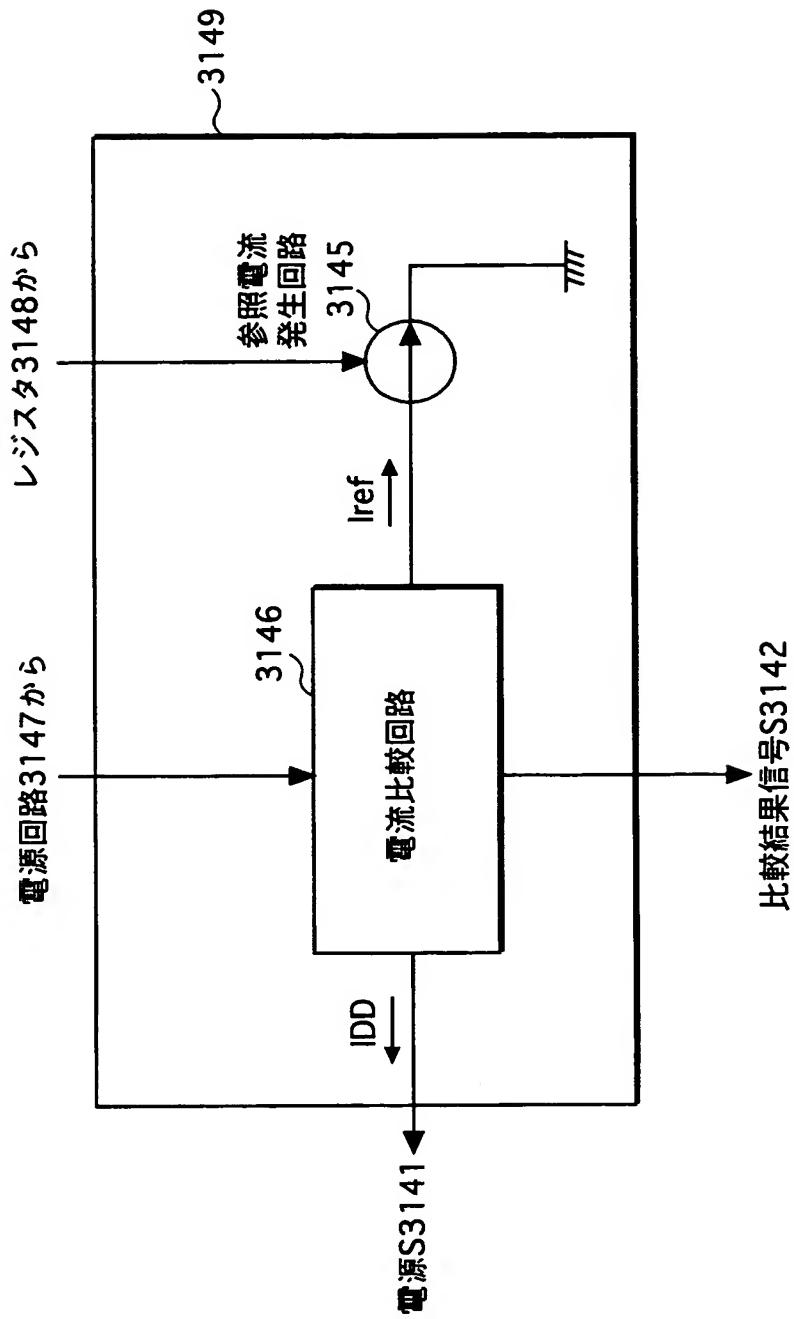
【図 50】



【図 51】



【図 5 2】

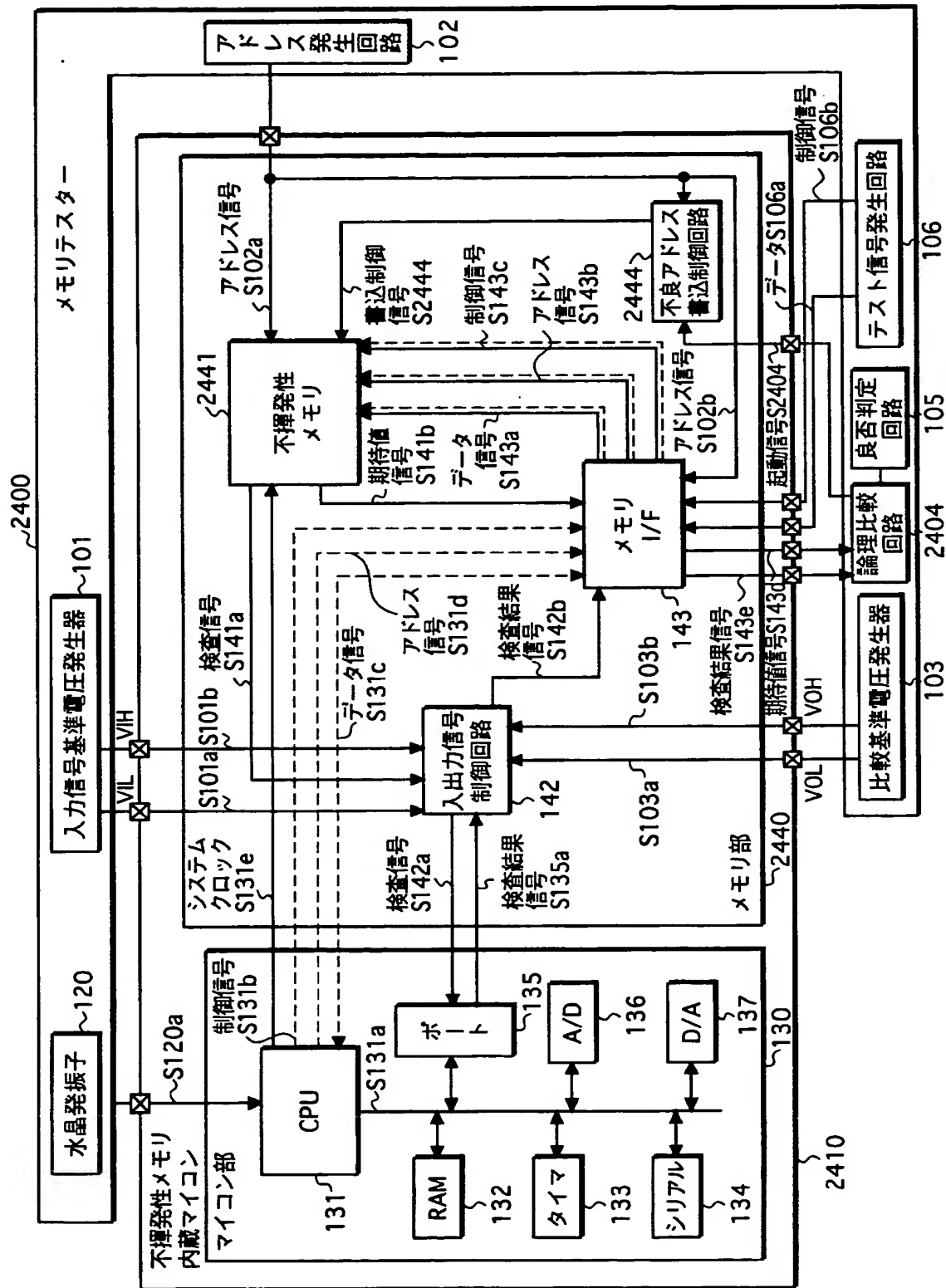


【図 5 3】

不揮発性メモリセル

	SELP	TR	検査用データ
0000h	1 : : : 1	00 : : : 00	電流規格を考慮しない 検査用データ群
0800h	0 : : : 0	01 : : : 01	STOP電流規格による 検査用データ群
1000h	0 : : : 0	11 : : : 11	動作電流規格による 検査用データ群
	・ ・ ・	・ ・ ・	・ ・ ・

【図54】



【図 5 5】

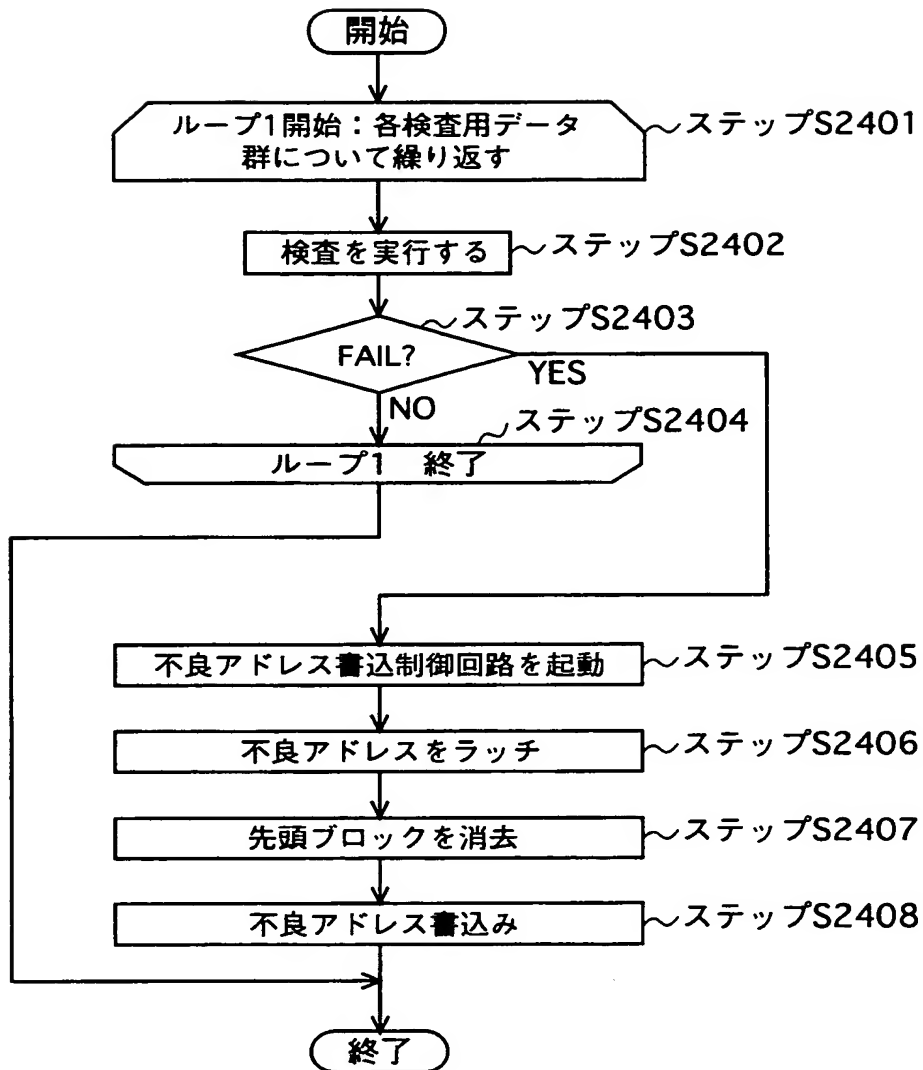
(A) 不揮発性メモリセル

検査用データ群A
検査用データ群B
検査用データ群C
検査用データ群D

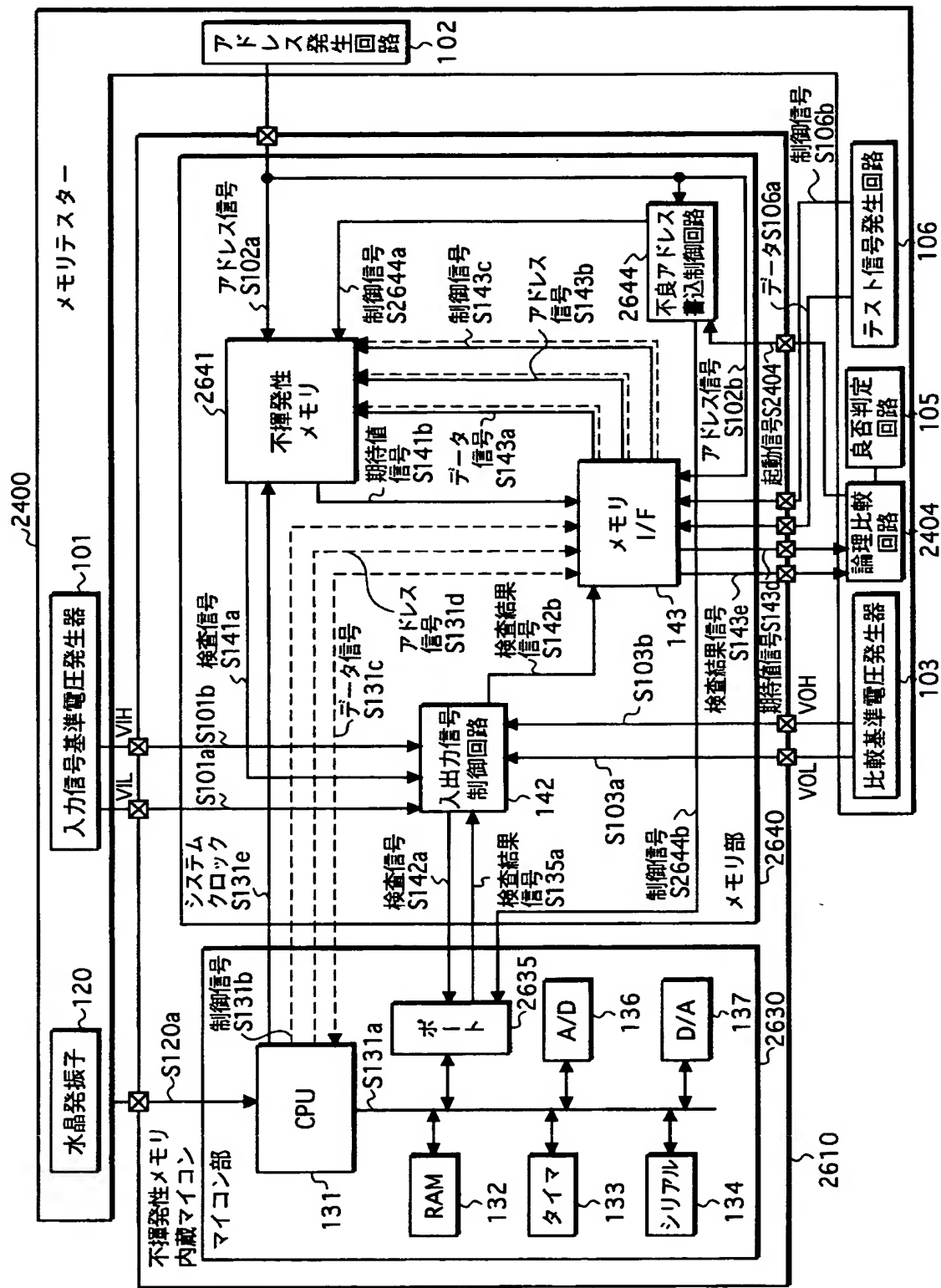
(B) 不揮発性メモリセル

不良アドレス	データ消去
検査用データ群B	
検査用データ群C	
検査用データ群D	

【図 5 6】



【図57】



【図 5 8】

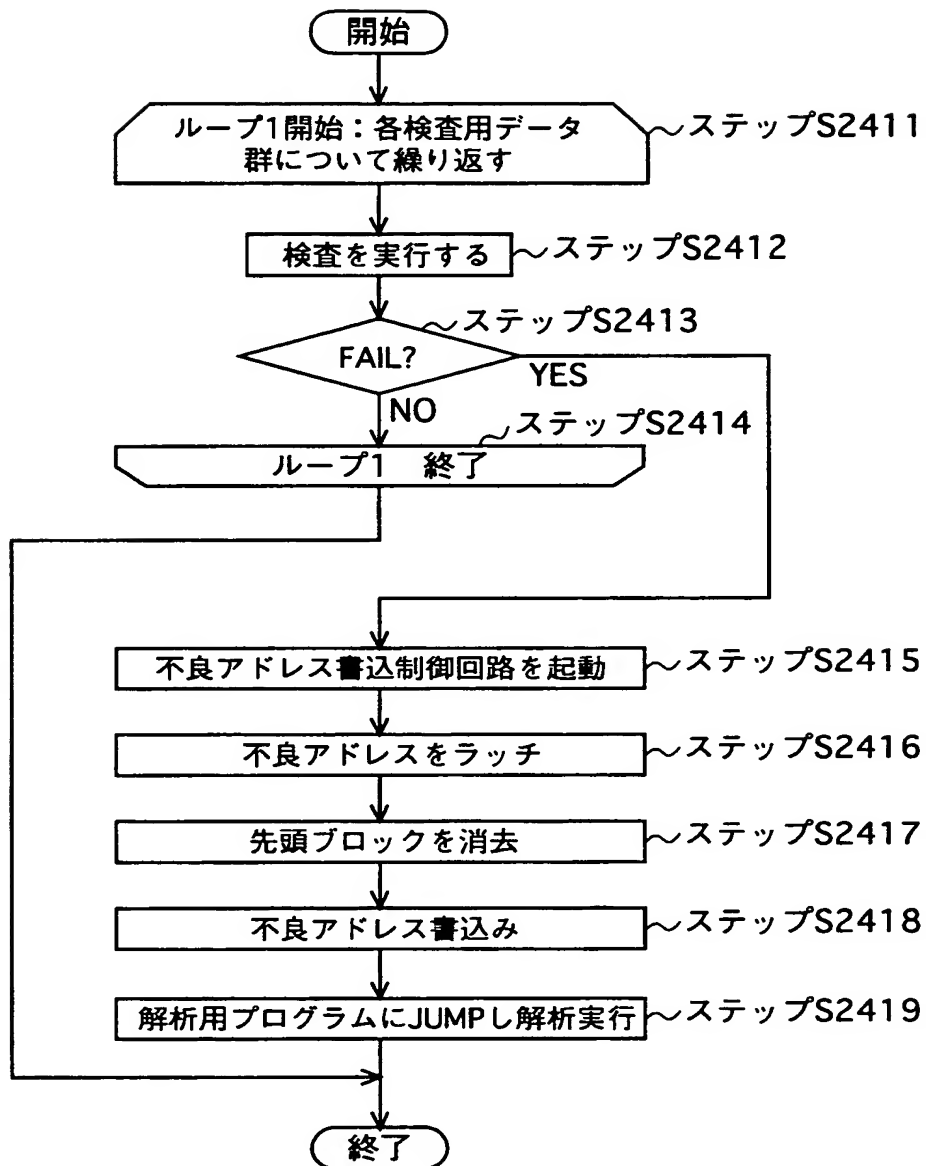
(A) 不揮発性メモリセル

検査用データ群A
検査用データ群B
検査用データ群C
解析用プログラム

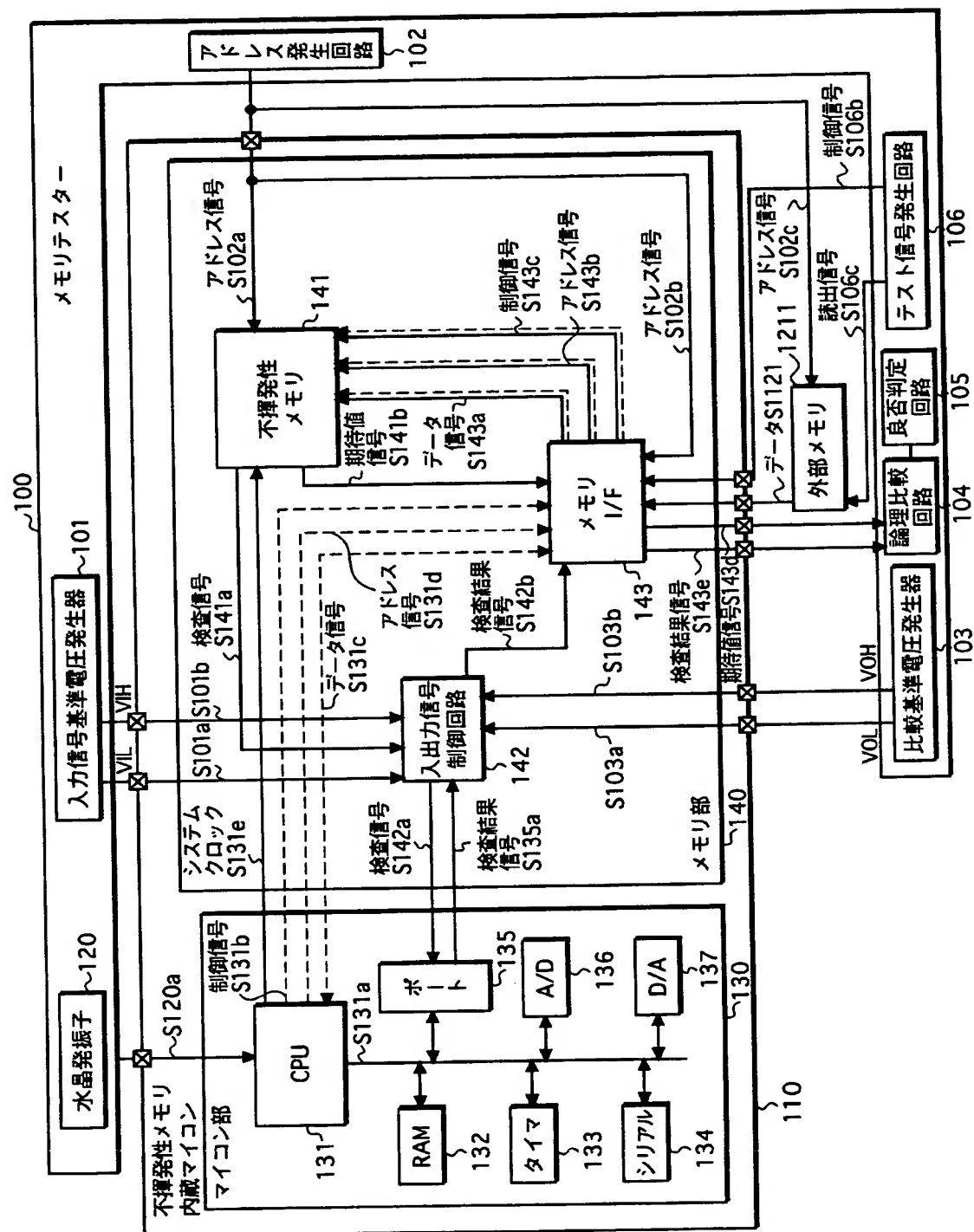
(B) 不揮発性メモリセル

不良アドレス	データ消去
検査用データ群B	
検査用データ群C	
解析用プログラム	

【図 5 9】



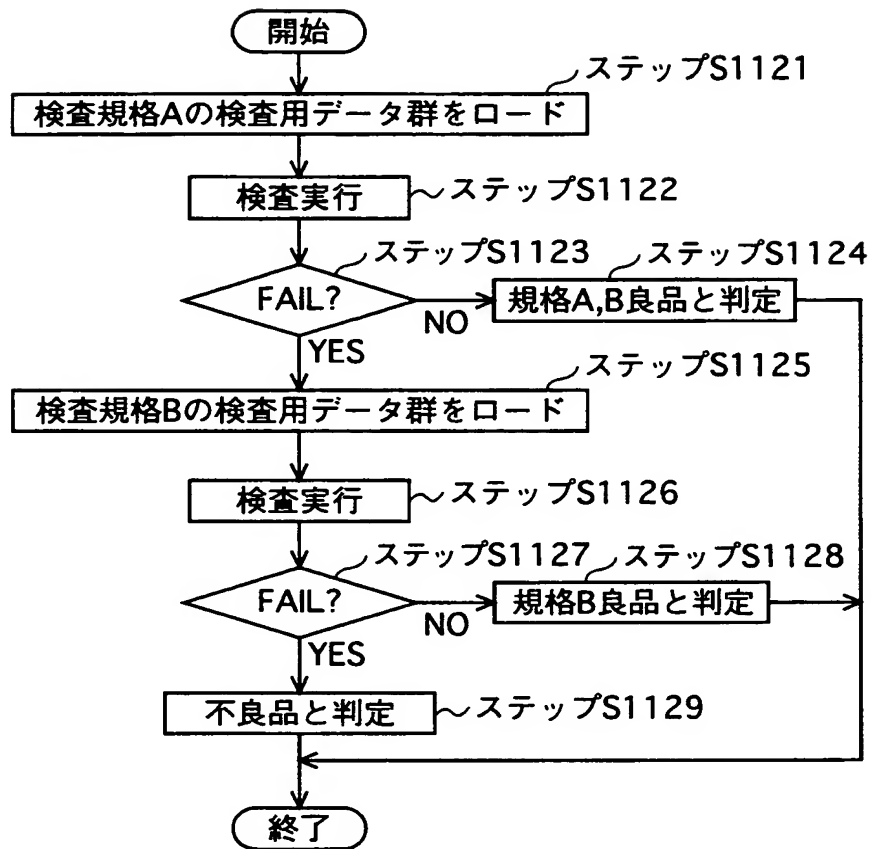
【図60】



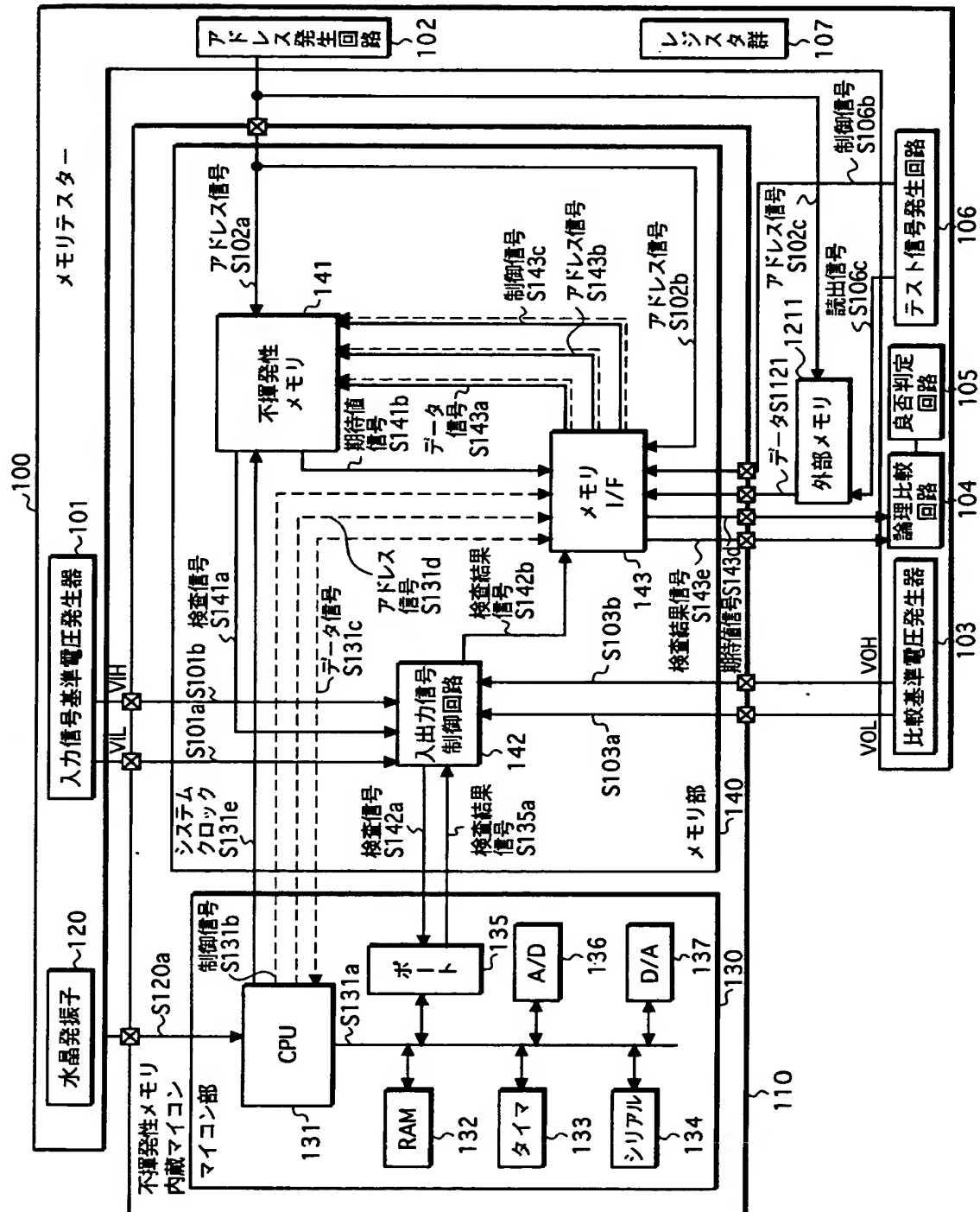
【図 6 1】



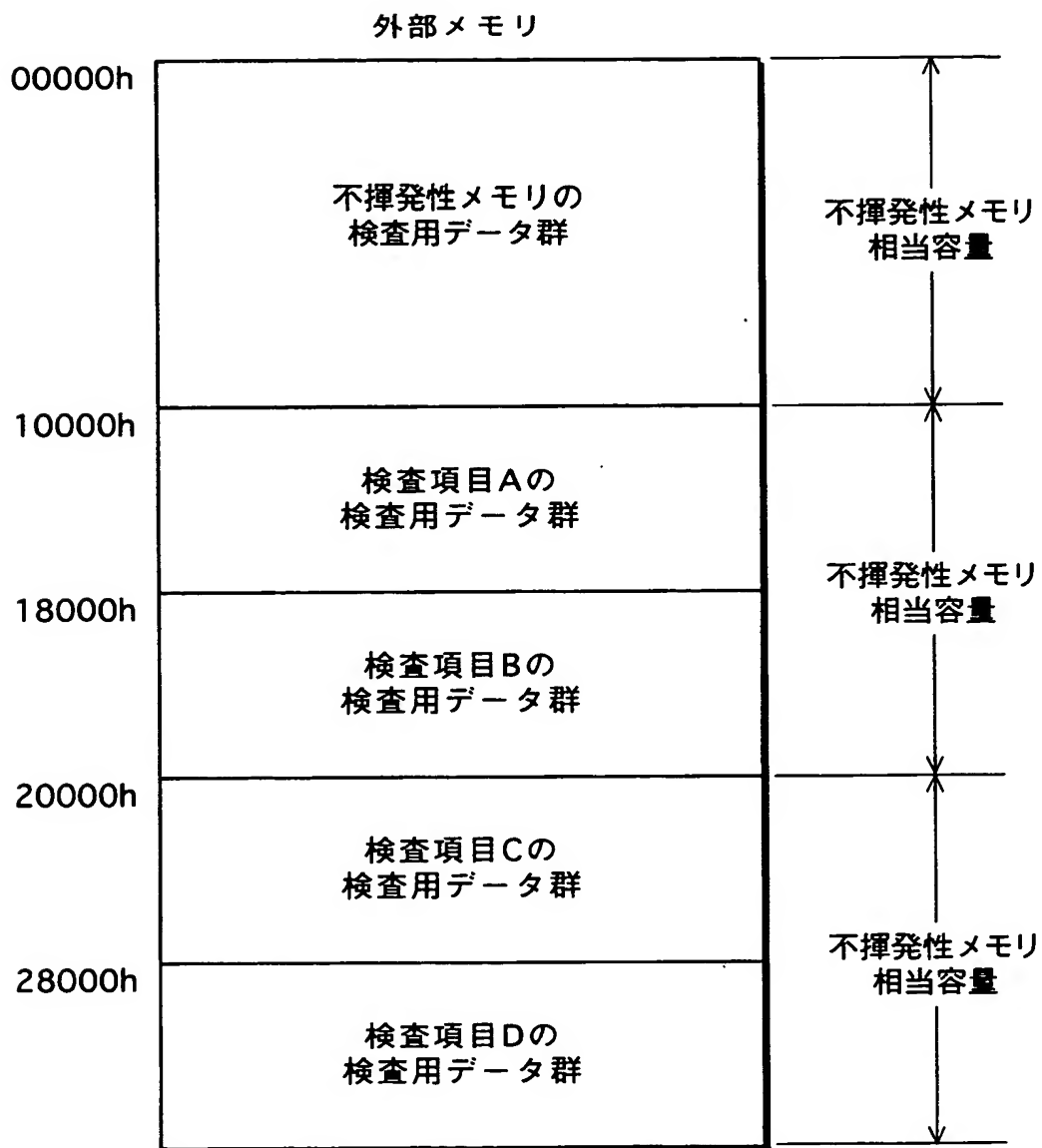
【図 6 2】



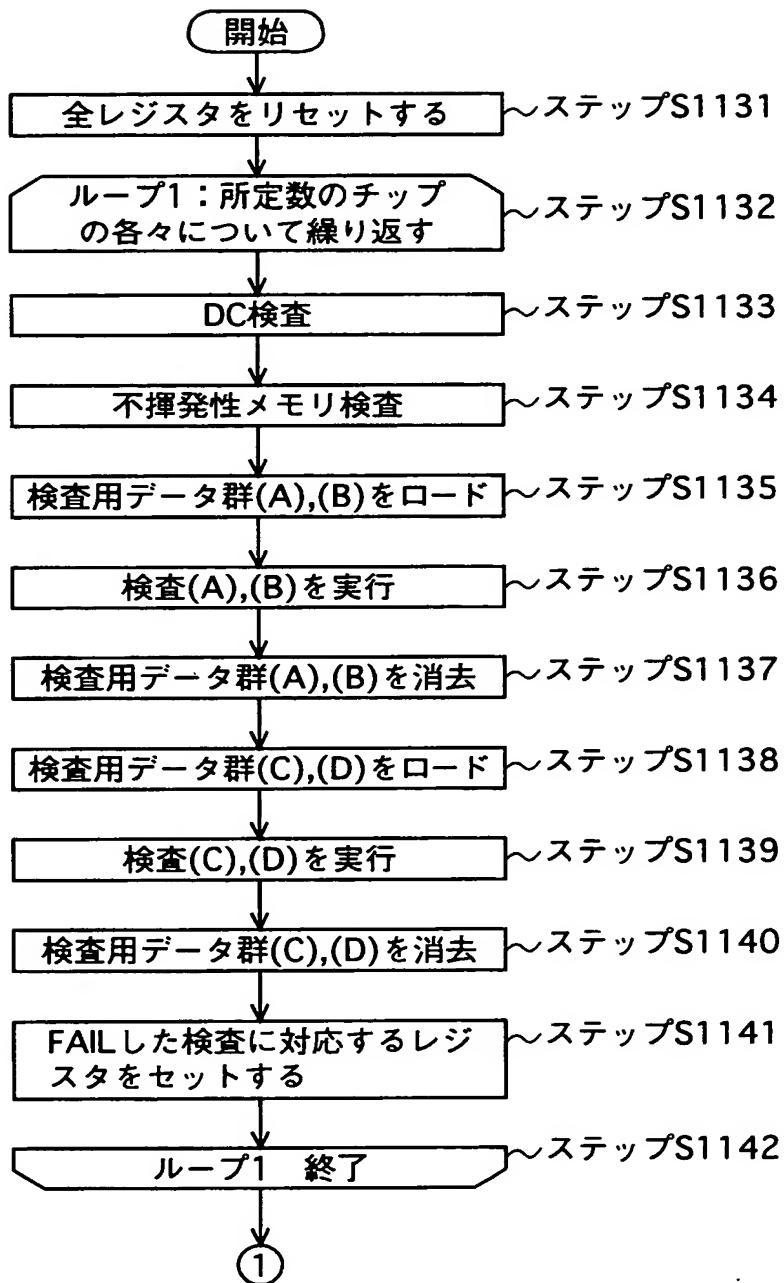
【図 63】



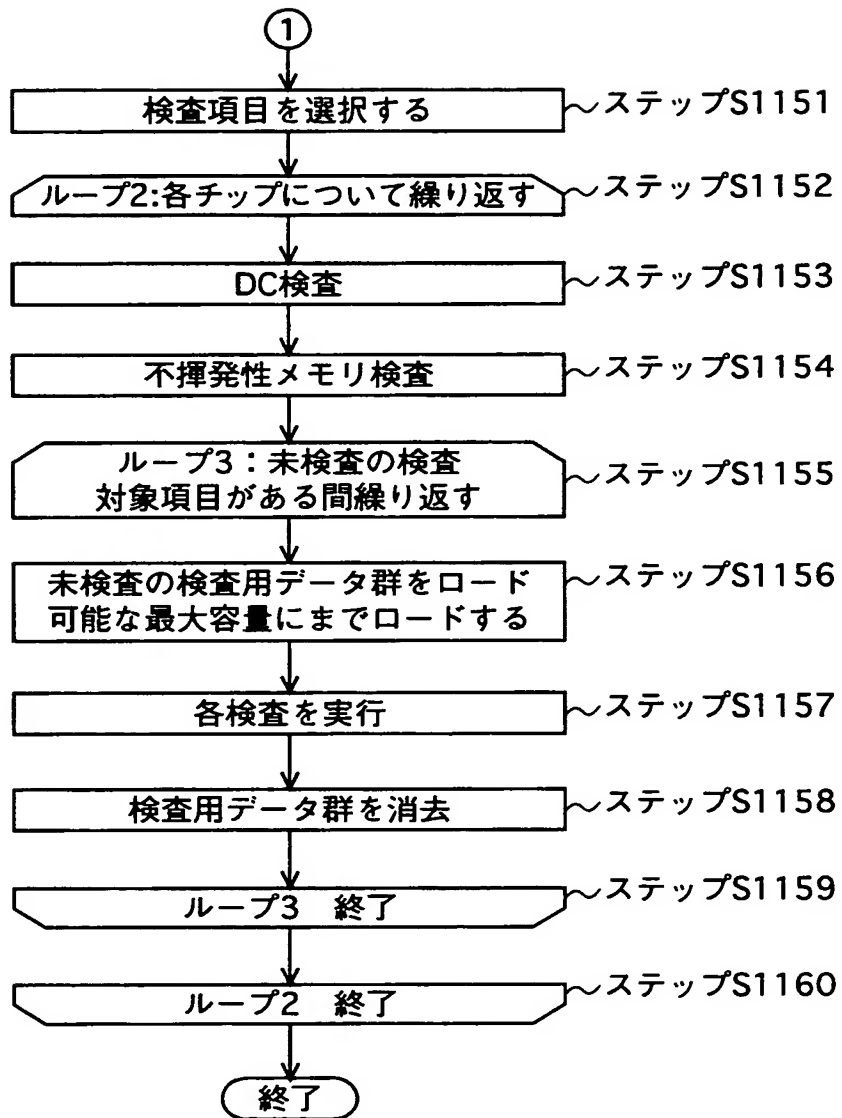
【図 6 4】



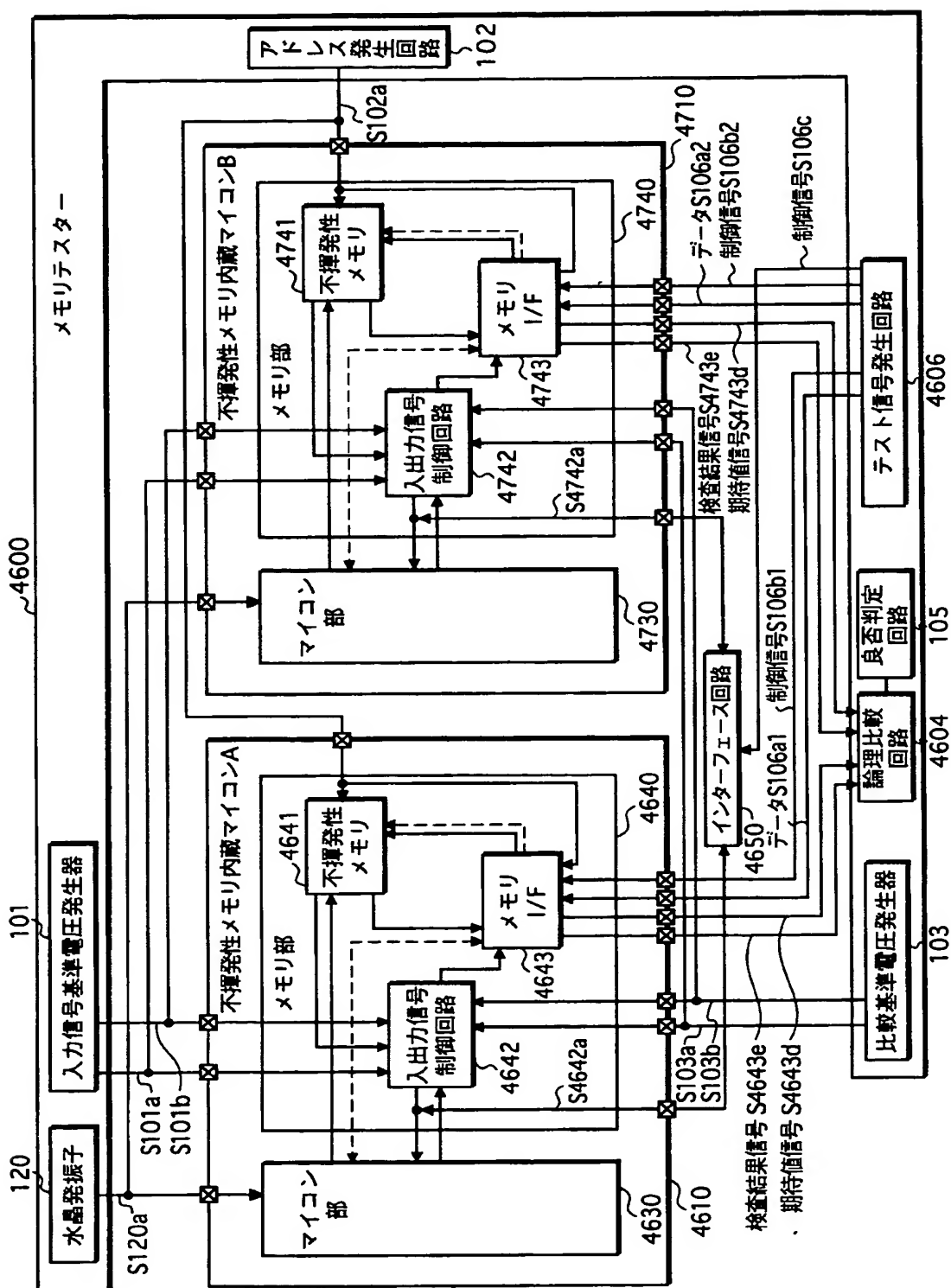
【図 6 5】



【図 6 6】



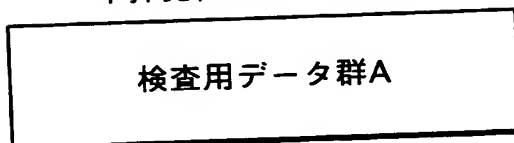
【图 6 7】



【図 6 8】

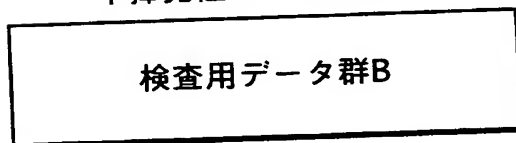
(A)

不揮発性メモリ 4641

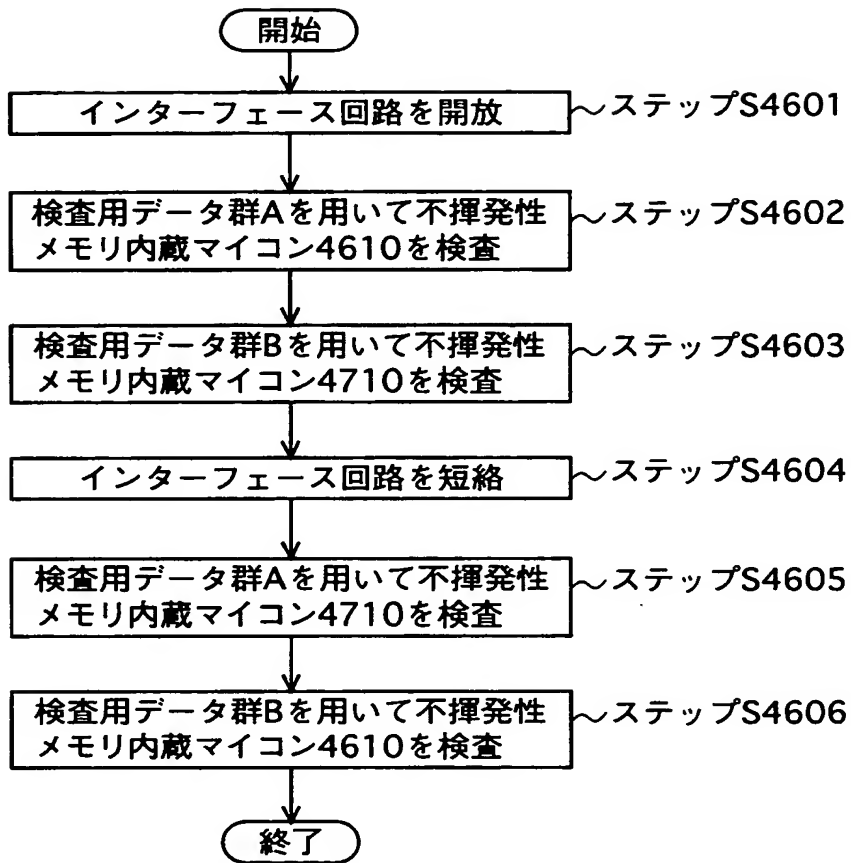


(B)

不揮発性メモリ 4741

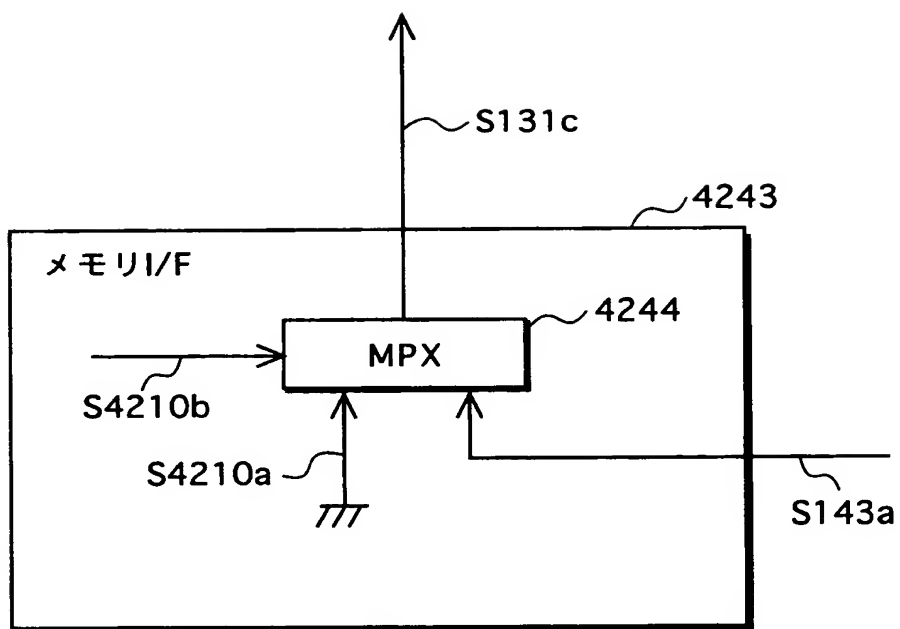


【図 6 9】

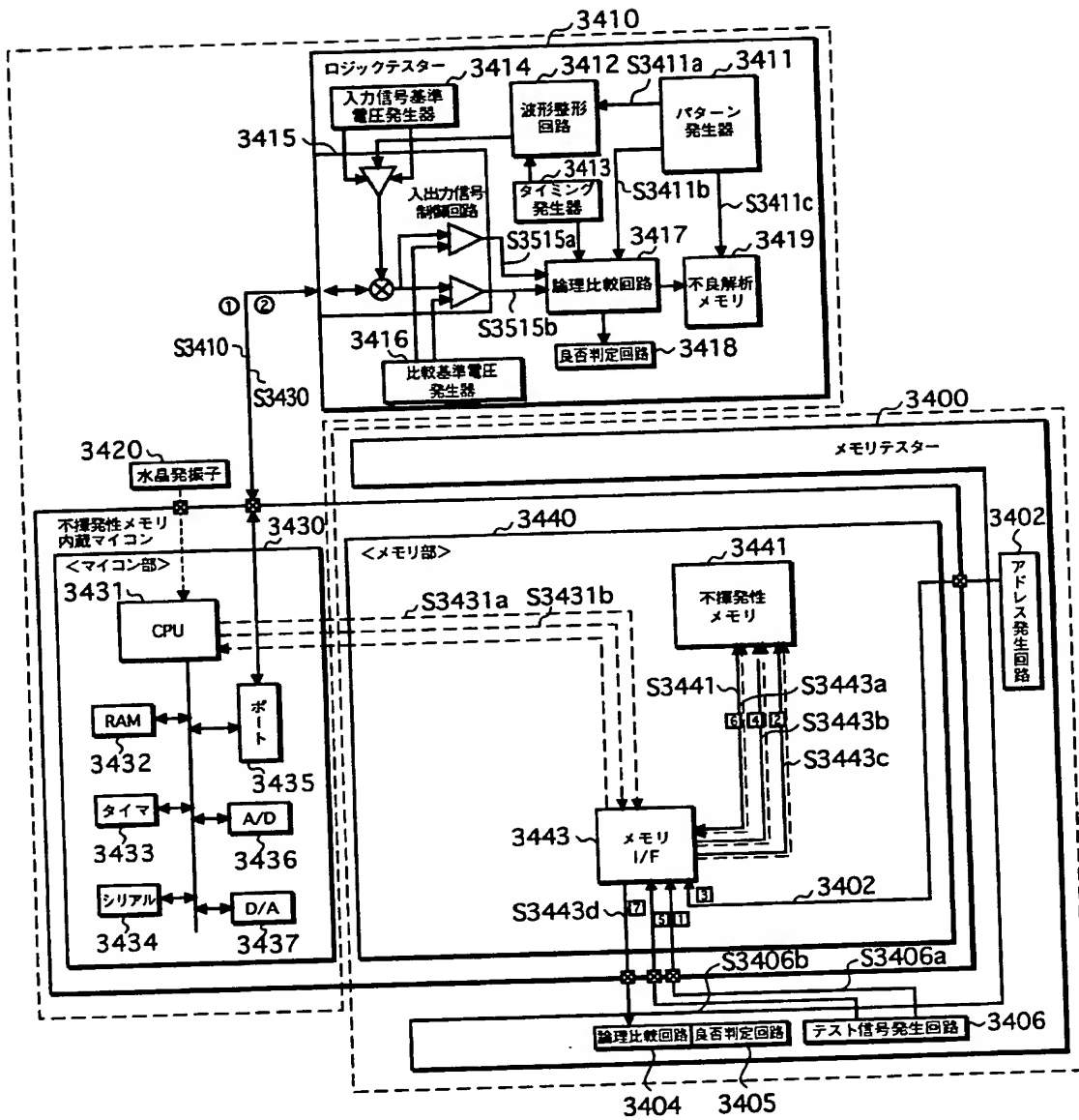




【図 7 1】



【図 72】



【書類名】 要約書

【要約】

【課題】 ロジックテスターによるマイコン部の検査の工程を省略し検査コストを削減できるような不揮発性メモリ内蔵マイコンを提供する。

【解決手段】 不揮発性メモリ内蔵マイコン 1 1 0 の不揮発性メモリ 1 4 1 に、検査データと期待値データとをメモリテスター 1 0 0 から与えて記録しておく。不揮発性メモリ 1 4 1 にアドレス信号を与えると、検査データに基づく検査信号 S 1 4 1 a と期待値データに基づく期待値信号 S 1 4 1 b とが逐次出力され、検査信号 S 1 4 1 a に基づく検査信号 S 1 4 2 a が伝えられマイコン部の各回路ブロックは駆動され、駆動結果である検査結果信号 S 1 3 5 a が得られ、検査結果信号 S 1 3 5 a に基づく検査結果信号 S 1 4 2 b と、期待値信号 S 1 4 1 b とがメモリ I / F を介して外部に出力される。メモリテスター 1 0 0 はその外部に出力された各信号を比較し、マイコン部が正常に動作したかを判定する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社